المحـــــتـــويات

الإهداء
عرض الكتاب
جدول الشرائح الموجودة فى هذا الكتاب

الفصل الأول: أساسيات عامة ١٩
١-١ مقدمة ٢١
١-٢ المقاومات الكهربية ٢١
١-٣ المكثفات ٢٦
١-٤ الدوائر التكاملية ٢٨
١-٥ الإشارات الانسيابية والإشارات الرقمية Analog and digital signals ٣١
١-٦ الأجهزة المستخدمة لاختبار الدوائر الرقمية ٣٢
١-٧ تمارين ٣٥

الفصل الثانى: أنظمة العد Numbering systems ٣٧
٢-١ مقدمة ٣٩
٢-٢ النظام العشرى Decimal system ٣٩
٢-٣ نظام العد الثنائى Binary system ٤٠
٢-٤ المتمم الأحادى والمتمم الثنائى Ones and twos complement ٤٤
٢-٥ الأرقام السالبة والأرقام الموجبة فى النظام الثنائى ٤٤
- نظام مقدار الإشارة Sign magnitude ٤٥
- نظام المتمم الأحادى ٤٥
- نظام المتمم الثنائى ٤٥
٢-٦ العمليات الحسابية على الأعداد ذات الإشارة ٤٦
- أولا: عملية الجمع ٤٦
- خطأ الفيضان Over flow error ٤٧
- ثانيا: عملية الطرح ٤٧
٢-٧ النظام الثمانى Octal system ٤٧
٢-٨ النظام الستعشرى Hexadecimal system ٤٩
٢-٩ الأرقام العشرية المكودة ثنائيا Binary Coded Decimal Numbers, BCD ٥٠
٢-١٠ تمارين ٥٢

الفصل الثالث: البوابات المنطقية Logic gates ٥٣
٣-١ مقدمة ٥٥
٣-٢ بوابة النفى Not gate ٥٥
٣-٣ البوابة آند AND gate ٥٦
٣-٤ البوابة أور OR gate ٥٧
٣-٥ البوابة ناند NAND gate ٥٨
٣-٦ البوابة نور NOR gate ٥٩
٣-٧ البوابة إكس أور XOR gate ٥٩

٣-٨ البوابة إكس نور XNOR gate ٦٠
٣-٩ شرائح العكس Inverter chips ٦٠
٣-١٠ شرائح الآند AND gate chips ٦٢
٣-١١ شرائح الأور OR gate chips ٦٣
٣-١٢ شرائح الناند NAND gate chips ٦٣
٣-١٣ شرائح النور NOR gate chips ٦٥
٣-١٤ شرائح الإكس أور والإكس نور XOR and XNOR gate chips ٦٦
٣-١٥ تمارين ٦٧

الفصل الرابع: الجبر البولينى وتبسيط المعادلات المنطقية ٦٩
٤-١ مقدمة ٧١
٤-٢ العمليات والتعبيرات المنطقية ٧١
٤-٣ قوانين الجبر المنطقى أو البولينى ٧٢
٤-٤ نظريات ديمورجان Demorgans theorems ٧٣
٤-٥ الحصول على المعادلة المنطقية لأى دائرة منطقية ٧٤
٤-٦ الحصول على جدول الحقيقة من المعادلة المنطقية ٧٤
٤-٧ تبسيط المعادلات المنطقية ٧٥
٤-٨ الصور القياسية للمعادلات المنطقية ٧٦
٤-٩ جدول الحقيقة والمعادلات المنطقية ٧٨
٤-١٠ الحصول على المعادلة المنطقية الفياسية من جدول الحقيقة ٧٨
٤-١١ بناء الدوائر المنطقية باستخدام بوابات ناند NAND فقط ٧٩
٤-١٢ بناء الدوائر المنطقية باستخدام بوابات نور NOR فقط ٨١
٤-١٣ اختصار الدوال المنطقية (خريطة كارنوف) ٨٢
٤-١٤ تمارين ٨٥

الفصل الخامس: محللات الشفرة والمشفرات Decoders And Encoders ٨٧
٥-١ محللات الشفرة Decoders ٨٩
٥-٢ الشريحة ٧٤٤٢ ٩٢
٥-٣ الشريحة ٧٤٤٥ ٩٣
٥-٤ الشرائح ٧٤٤٦ و ٧٤٤٧ و ٧٤٤٨ و ٧٤٤٩ ٩٤
٥-٥ الشريحة ٧٤١٣٧ ٩٧
٥-٦ الشريحة ٧٤١٣٨ ٩٨
٥-٧ الشريحة ٧٤١٣٩ ٩٩
٥-٨ الشريحة ٧٤١٤٥ ٩٩
٥-٩ الشريحة ٧٤١٥٤ ١٠٠
٥-١٠ الشريحة ٧٤١٥٥ ١٠١
٥-١١ الشريحة ٧٤١٥٦ ١٠١
٥-١٢ المشفرات Encoders ١٠٢
٥-١٣ الشريحة ٧٤١٤٧ ١٠٢
٥-١٤ الشريحة ٧٤١٤٨ ١٠٤
٥-١٥ منتقى البيانات Multiplexer ١٠٥
٥-١٦ الشريحة ٧٤١٥٠ ١٠٧

٥-١٧ الشريحة ٧٤١٥١ ١٠٧
٥-١٨ الشريحة ٧٤١٥٣ ١٠٨
٥-١٩ الشرائح ٧٤١٥٧ و ٧٤١٥٨ ١٠٨
٥-٢٠ الشريحة ٧٤٢٥١ ١١٠
٥-٢١ الشريحة ٧٤٢٥٣ ١١١
٥-٢٢ الشريحة ٧٤٢٥٨ ١١١
٥-٢٣ موزع البيانات Demultiplexer ١١٢
٥-٢٤ تمارين ١١٣

الفصل السادس: دوائر الحساب Arithmetic circuits ١١٥
٦-١ مقدمة ١١٧
٦-٢ دوائر الحساب ١١٧
٦-٣ نصف المجمع Half adder ١١٨
٦-٤ المجمع الكامل Full adder ١١٩
٦-٥ الطرح الثنائى ١٢٠
٦-٦ الشريحة ٧٤٨٣ ١٢١
٦-٧ الشريحة ٧٤٢٨٣ ١٢١
٦-٨ مجمع الحمل التموجى ومجمع الحمل الأمامى ١٢٢
٦-٩ دوائر المقارنة ١٢٤
٦-١٠ الشريحة ٧٤٨٥ ١٢٥
٦-١١ الشرائح ٧٤٦٨٢ و ٧٤٦٨٤ و ٧٤٦٨٨ ١٢٧
٦-١٢ تمارين ١٢٨

الفصل السابع: الماسكات والقلابات Latches and flip flops ١٢٩
٧-١ مقدمة ١٣١
٧-٢ الماسكات R-S ١٣١
٧-٢-١ الماسك RS كمزيل للاهتزازات ١٣٢
٧-٣ الشريحة 74279 ماسك RS رباعى ١٣٣
٧-٤ الماسك RS المحكوم بنبضات تزامن Clock ١٣٣
٧-٥ الماسك D المحكوم بنبضات التزامن ١٣٤
٧-٦ الشريحة 7475 ماسك D رباعى ١٣٤
٧-٧ القلابات Flip Flops ١٣٥
٧-٨ طريقة الإطلاق trigger عند أى الحافة ١٣٦
٧-٩ القلاب JK ١٣٧
٧-١٠ الدخول الغير متوافقة Asynchronous Inputs ١٣٨
٧-١١ القلاب T ١٣٨
٧-١٢ الشريحة 74ls74 قلابان من النوع D ١٣٩
٧-١٣ الشريحة 74ls76 قلابان من النوع JK ١٣٩
٧-١٤ قلاب السيد والعبد Master Slave Flip Flop ١٣٩
٧-١٥ الشريحة 7473 قلابان JK من نوع السيد والتابع ١٤٠
٧-١٦ الشريحة 74107 قلابان JK من نوع السيد والتابع ١٤١
٧-١٧ الشريحة 74109 قلابان JK حساس للحافة الصاعدة ١٤١

٧-١٨ الشريحة 74112 قلابان JK حساس للحافة النازلة ١٤٢
٧-١٩ الشريحة 74113 قلابان JK حساس للحافة النازلة ١٤٢
٧-٢٠ الشريحة 74116 ماسكان ذو ٤ بت لكل منهما ١٤٢
٧-٢١ الشريحة 74173 أربع قلابات من النوع D ، ثلاثية المنطق ١٤٣
٧-٢٢ الشريحة 74174 ستة قلابات من النوع D ١٤٤
٧-٢٣ الشريحة 74175 أربع قلابات من النوع D ١٤٤
٧-٢٤ الشريحة 74273 ثمان قلابات من النوع D ١٤٤
٧-٢٥ الشريحة 74373 و 74374 ثمان قلابات من النوع D ، ثلاثية المنطق ١٤٥
٧-٢٦ بعض الخواص المهمة للقلابات ١٤٥
٧-٢٦-١ زمن الانتشار أو زمن العبور Propagation delay time ١٤٥
٧-٢٦-٢ زمن الاستقرار Set up time ١٤٦
٧-٢٦-٣ زمن المسك Hold time ١٤٦
٧-٢٦-٤ أقصى قيمة لتردد الساعة ١٤٦
٧-٢٧ تطبيقات القلابات ١٤٧
٧-٢٨ تمارين ١٤٧

الفصل الثامن: العدادات الرقمية Digital Counters ١٤٩
٨-١ مقدمة ١٥١
٨-٢ العدادات التموجية أو الغير توافقية ١٥١
٨-٣ عدادات تموجية لأى قاعدة ١٥٢
٨-٤ العداد التوافقى ١٥٣
٨-٥ العدادات التنازلية ١٥٦
٨-٦ العدادات التصاعدية التنازلية ١٥٧
٨-٧ الشريحة 7490 عداد عشرى تموجى ١٥٨
٨-٨ الشريحة 7492 عداد تموجى قاسم على ١٢ ١٥٩
٨-٩ الشريحة 7493 عداد تموجى ٤ مراحل ١٦٠
٨-١٠ الشرائح 74160 و 74162 عداد توافقى عشرى ١٦١
٨-١١ الشرائح 74161 و 74163 عدادات توافقية من ٤ مراحل ١٦١
٨-١٢ الشرائح 74LS168 و 74LS169 عدادات توافقية تصاعدية/تنازلية ١٦٢
٨-١٣ الشريحة 74190 و 74191 عدادات توفقية تصاعدية/تنازلية ١٦٣
٨-١٤ الشرائح 74192 و 74193 عدادات تصاعدية/تنازل ١٦٣
٨-١٥ الشريحة 74LS197 عداد تموجى ٤ مراحل ١٦٤
٨-١٦ الشريحة 74LS290 عداد عشرى تموجى ١٦٥
٨-١٧ الشريحة 74LS293 عداد ثنائى تموجى ٤ مراحل ١٦٦
٨-١٨ الشريحة 74LS390 عدادان عشريان تموجيان ١٦٦
٨-١٩ الشريحة 74LS393 عدادان ثنائيان تموجيان كل منهما ٤ مراحل ١٦٧
٨-٢٠ تطبيقات العدادات ١٦٧
٨-٢١ تمارين ١٧٠

الفصل التاسع: مسجلات الإزاحة Shift Registers ١٧٣
٩-١ مقدمة ١٧٥

٩-٢ وحدة بناء مسجل الإزاحة ١٧٥
٩-٣ العمليات المختلفة على محتويات مسجل الإزاحة ١٧٥
٩-٤ الإدخال والإخراج المتتالى للبيانات ١٧٦
٩-٥ إدخال البيانات على التوالى وإخراجها على التوازى ١٧٧
٩-٦ الإزاحة على التوالى من اليمين لليسار ١٧٧
٩-٧ مسجل الإزاحة عام الأغراض ١٧٧
٩-٨ الشريحة 7491 مسجل إزاحة توالى ٨ بت ١٧٨
٩-٩ الشريحة 7494 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى ١٧٩
٩-١٠ الشريحة 7495 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى ١٧٩
٩-١١ الشريحة 7496 مسجل ٥ بت إدخال توازى أو توالى إخراج توالى أو توازى ١٨٠
٩-١٢ الشريحة 74164 مسجل ٨ بت إدخال توالى ، إخراج توازى ١٨٠
٩-١٣ الشريحة 74165 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى ١٨١
٩-١٤ الشريحة 74166 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى ١٨٢
٩-١٥ الشريحة 74194 مسجل متعدد الأغراض ٤ بت ثنائى الاتجاه ١٨٢
٩-١٦ الشريحة 74195 مسجل ٤ بت ، دخل توازى خرج توالى ١٨٣
٩-١٧ الشريحة 74199 مسجل ٨ بت ، دخل توازى خرج توالى ١٨٣
٩-١٨ العدادات الدوارة ١٨٤
٩-١٩ تطبيقات مسجلات الإزاحة ١٨٥
٩-٢٠ تمارين ١٨٧

الفصل العاشر: الذاكرة ١٨٩
١٠-١ مقدمة ١٩١
١٠-٢ وحدة تخزين البيانات (البت والبايت والورد) ١٩١
١٠-٣ العمليات الأساسية على الذاكرة ١٩٢
١٠-٤ ذاكرة الاتصال العشوائى ١٩٤
١٠-٥ ذاكرة الاتصال العشوائى الديناميكية ١٩٧
١٠-٦ ذاكرة القراءة فقط ١٩٩
١٠-٧ الشريحة ٢١١٤ ذاكرة استاتيكية ١كيلو ×٤ بت ٢٠١
١٠-٨ الشريحة ٦١١٦ ذاكرة استاتيكية ٢ كيلو بايت ٢٠١
١٠-٩ الشريحة ٦٢٦٤ ذاكرة استاتيكية ٨ كيلو بايت ٢٠٢
١٠-١٠ الشريحة ٦٢٢٥٦ ذاكرة استاتيكية ٣٢ كيلو بايت ٢٠٢
١٠-١١ الشريحة ٢٧١٦ ذاكرة EPROM ٢ كيلوبايت ٢٠٣
١٠-١٢ الشريحة ٢٧٣٢ ذاكرة EPROM ٤ كيلوبايت ٢٠٣
١٠-١٣ الشريحة ٢٧٦٤ ذاكرة EPROM ٨ كيلوبايت والشريحة ٢٧٢٥٦ ذاكرة EPROM ٣٢ كيلوبايت ٢٠٤
١٠-١٤ تمارين ٢٠٥

الفصل الحادى عشر: دوائر التوقيت Timers ٢٠٧
١١-١ مقدمة ٢٠٩

١١-٢ معادلة الجهد على مكثف في دائرة مقاومة ومكثف	٢٠٩
١١-٣ المقارن Comparator	٢١٠
١١-٤ القلاب Flip Flop	٢١٠
١١-٥ التركيب الداخلى وطريقة التشغيل للشريحة NE555	٢١٢
١١-٦ طريقة التشغيل أحادية الثبات	٢١٢
١١-٧ طريقة التشغيل عديمة الاستقرار	٢١٥
١١-٨ المؤقتات ذات العدادات Timer Counters	٢١٧
١١-٩ الشريحة XR2240 المؤقت بعداد Timer Counter	٢١٨
١١-١٠ الشريحة XR 556	٢٢١
١١-١١ الشريحتان XR 558/559	٢٢٢
١١-١٢ الشريحة ZN1034	٢٢٣
١١-١٣ تمارين	٢٢٥
<u>الفصل الثانى عشر :</u> البوابات ثلاثية المنطق Tristate logic gates	**٢٢٧**
١٢-١ مقدمة	٢٢٩
١٢-٢ ما هو المنطق الثلاثى ، ولماذا ؟	٢٢٩
١٢-٣ الشريحة ٧٤١٢٥ أربع بوابات ثلاثية المنطق	٢٣٠
١٢-٤ الشريحة ٧٤١٢٦ أربع بوابات ثلاثية المنطق	٢٣٠
١٢-٥ الشريحة ٧٤٢٤٠ ثمانية بوابات ثلاثية المنطق	٢٣١
١٢-٦ الشريحة ٧٤٢٤١ ثمانية بوابات ثلاثية المنطق	٢٣١
١٢-٧ الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ أربع بوابات ثلاثية المنطق ثنائية الاتجاه	٢٣٢
١٢-٨ الشريحة ٧٤٢٤٤ ثمانية بوابات ثلاثية المنطق	٢٣٢
١٢-٩ الشريحة ٧٤٢٤٥ ثمانية بوابات ثلاثية المنطق ثنائية الاتجاه	٢٣٣
القاموس	**٢٣٥**
المراجع	**٢٤٣**