

الفصل السادس

٦

دوائر الحساب

Arithmetic Circuits

٦-١ مقدمة

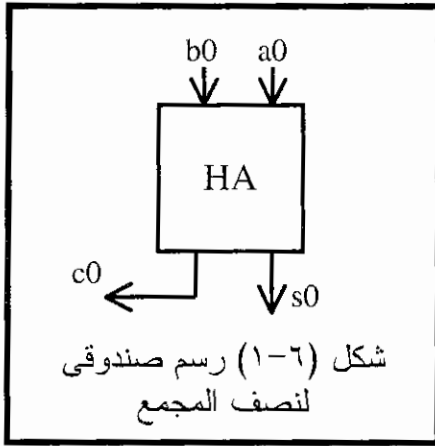
تتضمن دوائر الحساب الكثير من الدوائر المنطقية المختلفة التي تستخدم في إجراء العمليات الحسابية الأساسية . من دوائر الحساب الأساسية المجمع أو الجامع والذي يقوم بإجراء عملية الجمع على رقمين ، ومنه سنرى أنه يمكن استخدام هذا المجمع كطراح أيضا . هناك الكثير من الدوائر التكاملية المستخدمة في هذا المجال وسنقوم بشرحها بالتفصيل . من دوائر الحساب أيضا ، دوائر المقارنة وسنقدم أيضا شرحا تفصيليا للشرائح المستخدمة في ذلك .

٦-٢ دوائر الحساب Arithmetic circuits

مثال ٦-١

المثال التالي يبين كيفية جمع الرقم $A=a_3a_2a_1a_0=1101$ مع الرقم $B=b_3b_2b_1b_0=1011$:

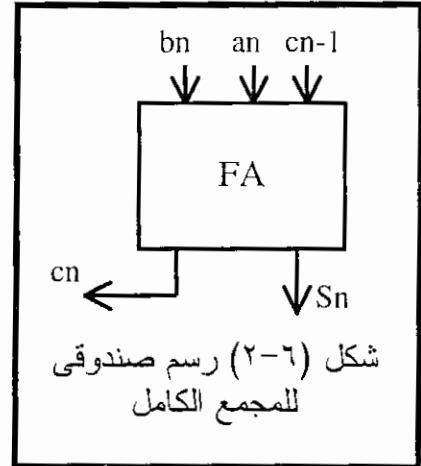
$$\begin{array}{r} 1111 \leftarrow \text{الحمل من كل مرحلة} \\ A = 1101 \\ B = 1011 + \\ \hline 11000 \leftarrow \text{النتيجة} \\ \leftarrow \text{الحمل الأخير} \end{array}$$

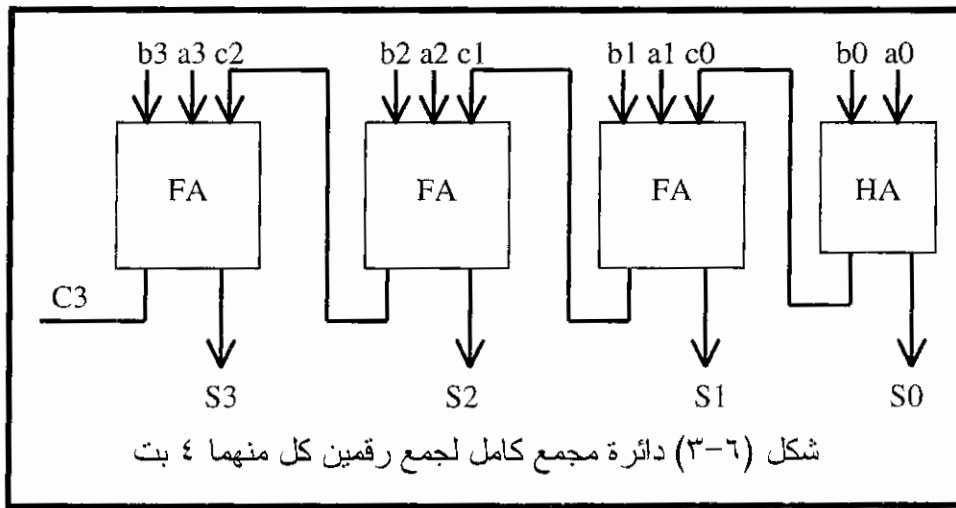


من هذا المثال نرى أن عملية جمع رقمين كل منهم ٤ بت تمت على ٤ مراحل ، المرحلة الأولى ، تم فيها جمع البت الأولى من A وهي $a_0=1$ مع البت الأولى من B وهي $b_0=1$ ، وكانت نتيجة الجمع هي $S_0=0$ وهناك حمل من هذه المرحلة وهو $c_0=1$ سيتم جمعه مع المرحلة الثانية . الدائرة المطلوبة لإجراء هذه العملية سيكون لها دخلان a_0 و b_0 ويخرج منها خرجان هما المجموع S_0 والحمل الذي سيذهب للمرحلة التالية c_0 . هذه الدائرة التي تقوم بجمع ٢ بت هي أبسط دوائر الجمع وتسمى دائرة نصف المجمع Half Adder, HA . شكل (٦-١) يبين رسما صندوقيا لدائرة نصف المجمع ، وأما الرسم التفصيلي لها فسنراه بعد قليل .

كما نرى من المثال السابق فإن أى مرحلة n بعد المرحلة الأولى ستقوم بجمع الحمل من المرحلة السابقة c_{n-1} مع البت رقم n من A وهي a_n مع البت رقم n من B وهي b_n وستكون النتيجة هي S_n التي تمثل المجموع و c_n التي تمثل الحمل للمرحلة التالية . أى أن الدائرة التي ستقوم بهذه العملية سيكون لها ٣ دخول a_{n-1} و a_n و b_n وسيكون لها خرجان هما S_n و c_n . هذه الدائرة تسمى دائرة مجمع كامل Full Adder, FA . شكل (٦-٢) يبين رسما صندوقيا للمجمع الكامل وسيتم شرحه بالتفصيل بعد شرح دائرة نصف المجمع .

من ذلك نرى أنه لإتمام عملية جمع A مع B كما في المثال





السابق فإنه يلزم عدد واحد نصف مجمع لجمع أول ٢ بت ثم عدد ٣ مجمع كامل لجمع الثلاث بتات التالية . شكل (٦-٣) يبين الدائرة الكاملة لجمع الرقمين A و B والتي تتكون من نصف مجمع وعدد ٣ مجمع كامل كما ذكرنا وطريقة التوصيل بينها . سنرى فيما يلي طريقة بناء كل من دائرة نصف المجمع ودائرة المجمع الكامل . وسنرى الشرائح الموجودة التي تمثل كل منهما .

٦-٣ دائرة نصف المجمع Half Adder circuit

مهمة نصف المجمع كما رأينا هي جمع رقمين كل منهما يتكون من بت واحدة a_0 و b_0 ويعطى في الخرج ناتج الجمع s_0 وحمل إلى المرحلة التالية c_0 . أنظر إلى جدول الحقيقة لنصف المجمع كما في جدول ٦-١ وحاول التحقق من جميع الحالات الموجودة به . من جدول الحقيقة يمكن كتابة المعادلات المنطقية لخرجه كما يلي :

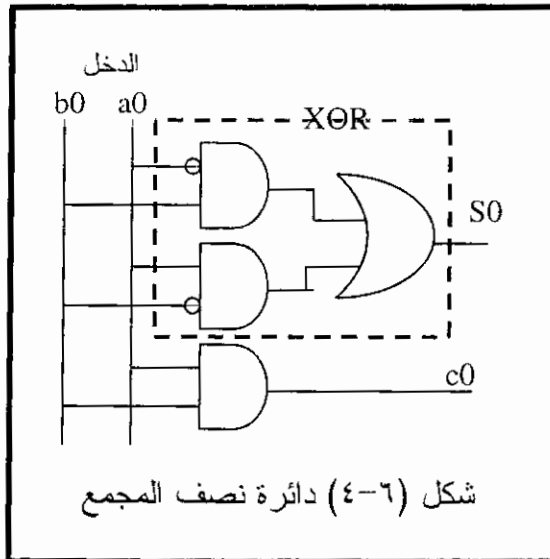
$$S_0 = \overline{a_0}b_0 + a_0\overline{b_0} \quad (٦-١)$$

$$= a_0 \oplus b_0$$

$$c_0 = a_0b_0 \quad (٦-٢)$$

الدخل		الخرج	
b_0	a_0	S_0	c_0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

جدول ٦-١ جدول الحقيقة لنصف المجمع



حيث العملية $\oplus$ تمثل عملية ال XOR . من المعادلتين (٦-١) و (٦-٢) يمكن رسم الدائرة المنطقية لنصف المجمع كما في شكل (٦-٤) . لاحظ أن S_0 يمكن تمثيلها ببوابة XOR كما هو موضح في نفس الشكل لأن S_0 تكون واحد إذا كان الدخلين مختلفين وصفر إذا كان الدخلين متشابهين كما في الجدول ٦-١ السابق وهذه هي وظيفة البوابة XOR . لاحظ أن c_0 عبارة عن بوابة AND واحدة لأن c_0 تكون واحد فقط إذا كان كل من الدخلين وحيد .

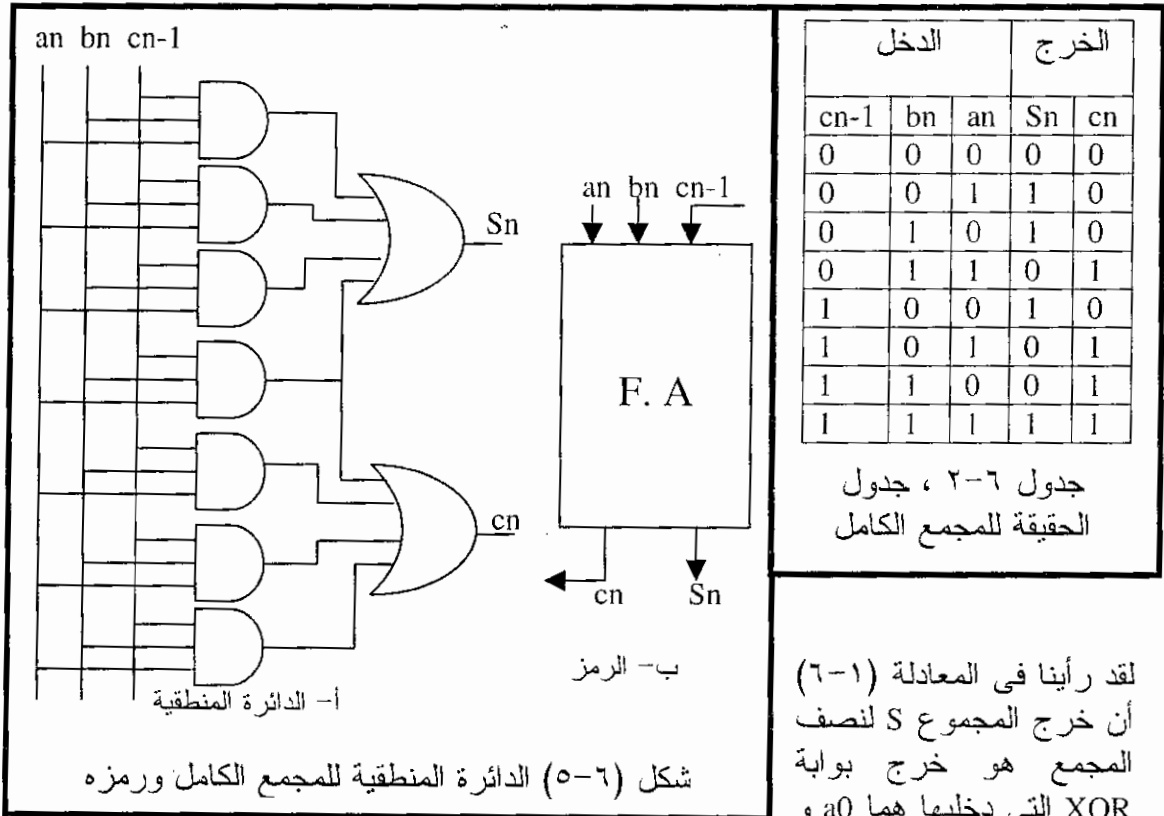
٦-٤ دائرة المجمع الكامل FA

دائرة المجمع الكامل قادرة على جمع ثلاثة بتات في الدخل $cn-1$ و an و bn حيث تخرج المجموع Sn وحمل cn للمرحلة التالية . جدول الحقيقة لدائرة المجمع الكامل موضح في جدول ٦-٢ ، حاول دراسة جميع حالات هذا الجدول . من هذا الجدول يمكن استنتاج المعادلة المنطقية للمجموع Sn والحمل cn كما يلي :

$$Sn = \overline{an}bn\overline{cn-1} + \overline{an}bncn-1 + \overline{an}bncn-1 + anbn\overline{cn-1} \quad (٦-٣)$$

$$cn = \overline{an}bn\overline{cn-1} + \overline{an}bncn-1 + \overline{an}bncn-1 + anbn\overline{cn-1} \quad (٦-٤)$$

من المعادلتين (٦-٣) و (٦-٤) يمكن استنتاج الدائرة المنطقية للمجمع الكامل كما في شكل (٦-٥) .



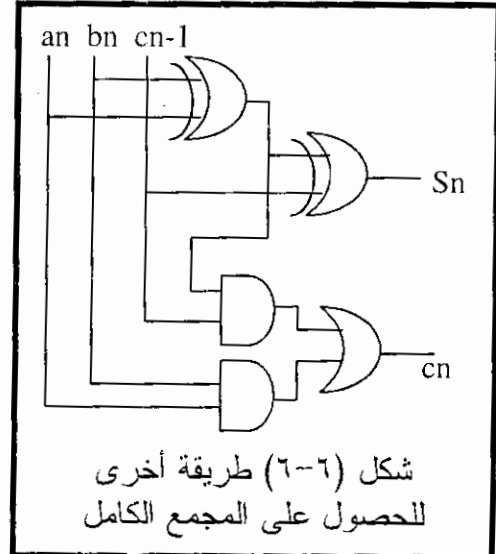
لقد رأينا في المعادلة (٦-١) أن خرج المجموع S لنصف المجمع هو خرج بوابة XOR التي دخلها هما a و b

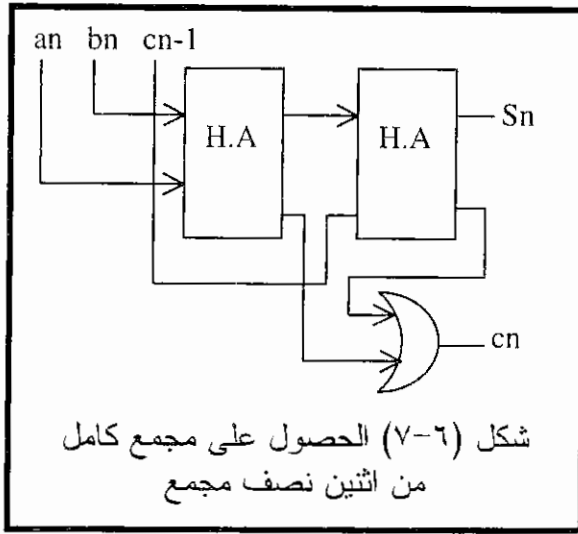
b_0 . الآن بما أن المجمع الكامل له نفس الدخلين بالإضافة إلى الدخل الثالث $cn-1$ فإن خرج المجموع S للمجمع الكامل يمكن الحصول عليه من بوابتين XOR كما في شكل (٦-٦) حيث البوابة الأولى يكون دخلها هما an و bn وخرجها هو $bn \oplus an$ وأما البوابة الثانية فيكون دخلها هما خرج البوابة السابقة مع الدخل $cn-1$. خرج المجموع S للمجمع الكامل في هذه الحالة يمكن كتابته كما يلي :

$$Sn = (an \oplus bn) \oplus cn-1 \quad (٦-٥)$$

بالنظر إلى جدول ٦-٢ وشكل (٦-٦) سنجد أنه يمكننا كتابة خرج الحمل cn للمجمع الكامل كما يلي :

$$cn = anbn + (an \oplus bn)cn-1 \quad (٦-٦)$$





حاول التحقق من هذه المعادلة . بالنظر إلى شكل (٦-٦) سنجد أنه عبارة عن اثنين نصف مجمع يمكن إعادة رسمهم كما في شكل (٧-٦) الذي يبين كيفية الحصول على مجمع كامل باستخدام اثنين نصف مجمع . لاحظ أن خرج الحمل من كل من نصفي المجمعين يدخلان على بوابة OR التي يمثل خرجها خرج الحمل cn للمجمع الكامل .

٥-٦ الطرح الثنائي Binary subtraction

لإجراء عمليات الطرح فإنه يتم عادة تحويل عملية الطرح إلى عملية جمع وبعد ذلك يمكن استخدام المجمع الذي سبق شرحه لإجراء عملية الطرح . لتحويل عملية الطرح إلى عملية جمع انظر إلى المثال التالي :

مثال ٦-٢

افترض أن لدينا الرقم $A=1101$. المعكوس أو المتمم الأحادي ones complement لهذا الرقم هو $\bar{A}=0010$ ويتم ذلك عن طريق عكس كل واحد إلى صفر وكل صفر إلى واحد في الرقم الأصلي . الآن ماذا يحدث لو جمعنا العدد الأصلي مع متممه الأحادي ثم جمعنا عليهم واحد آخر كما يلي :

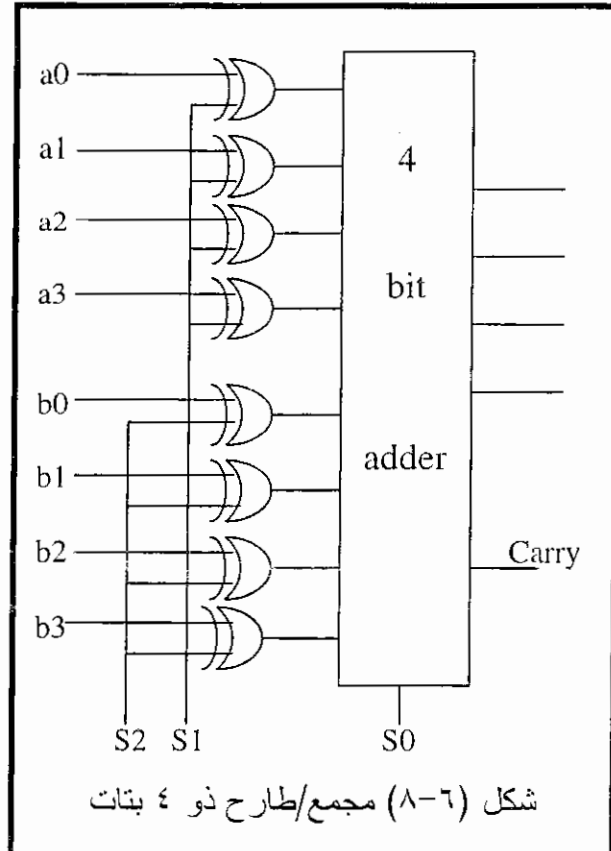
$$\begin{array}{r} A=1101 \\ \bar{A}=0010 \\ \hline 1+ \\ 1\ 0000 \\ \uparrow \\ \text{الحمل} \end{array}$$

النتيجة كما رأينا ستكون دائما صفر مع حمل واحد ، ولذلك فإنه بإهمال هذا الحمل يمكننا كتابة المعادلة التالية :

$$A + \bar{A} + 1 = 0 \quad (٧-٦)$$

من هذه المعادلة يمكن كتابة الرقم $-A$ كما يلي :

$$-A = \bar{A} + 1 \quad (٨-٦)$$



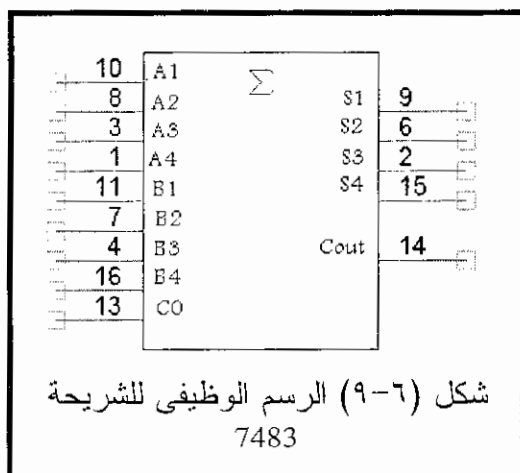
وعلى ذلك يمكننا أن نرى من المعادلة (٦-٧) أن أى عملية طرح يمكن تحويلها إلى عملية جمع عن طريق استبدال المطروح بمتكمه الثنائى (المتكم الأحادى + ١) . كمثال على ذلك انظر إلى عمليات الطرح التالية وكيف حولناها إلى عمليات جمع :

$$A - B = A + \overline{B} + 1 \quad (٦-٩)$$

$$B - C = B + \overline{C} + 1 \quad (٦-١٠)$$

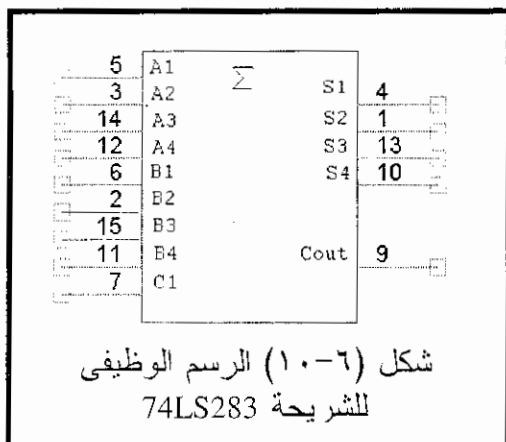
بذلك نستطيع القول أنه يمكننا استخدام دائرة المجمع التى سبق شرحها فى تنفيذ عمليات الطرح بعد إجراء بعض التعديلات الطفيفة عليها . شكل (٦-٨) يبين دائرة مجمع ذو ٤ بت يمكن استخدامها لإجراء عمليات الجمع أو الطرح على الدخلىن A و B اللذان يتكون كل منهما من ٤ بتات عن طريق ٣ خطوط تحكم S0 و S1 و S2 .

كما نعلم فإنه من خواص البوابة XOR أن لها دخلان ، عندما يكون أحدهما يساوى واحد فإن الخرج يساوى عكس الدخل الآخر ، بينما إذا كان أحد الدخلىن يساوى صفر فإن الخرج يساوى الدخل الآخر . وعلى ذلك فالخط S1 فى شكل (٦-٨) يمثل خط تحكم يسمح إما بعبور المتغير A كما هو إذا كان S1=0 ، أو أن المتغير A سيعبر معكوسا إذا كانت S1=1 . بنفس الطريقة يستخدم الخط S2 ليسمح بعبور المتغير B كما هو (S2=0) أو معكوسا (S2=1) . المجمع فى نفس الشكل يجمع الدخل من A مع الدخل من B مع S0 التى تكون إما واحد أو صفر . فمثلا عندما S2=S1=S0=0 فإن المجمع فى هذه الحالة سيجمع الدخلىن A+B . بينما إذا كانت S2=S0=1 و S1=0 فإن المجمع فى هذه الحالة سيجمع A+B+1 والتى تكافئ كما ذكرنا سابقا A-B . بنفس الطريقة يمكن إجراء كل عمليات الجمع أو الطرح على الدخلىن A و B باستخدام خطوط التحكم S0 و S1 و S2 ، وهذه هى الطريقة التى تعمل بها شرائح وحدات الحساب التى سنراها بعد قليل .



٦-٦ الشريحة 7483 مجمع ذو ٤ بتات ، 4 bit Parallel Adder

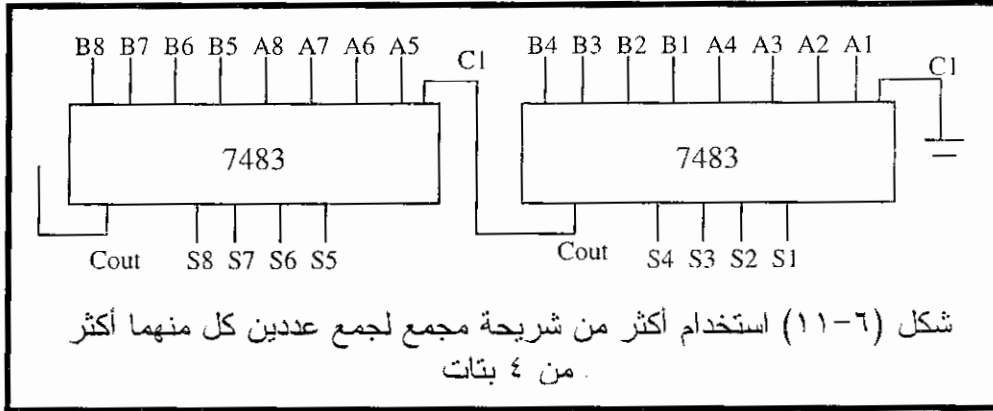
هذه الشريحة تجمع رقمين كل منهما ٤ بت ، A و B مع الحمل القادم من أى مرحلة سابقة C0 ، وتعطى ناتج الجمع ٤ بتات وهو S1,S2,S3,S4 والحمل النهائى وهو Cout . شكل (٦-٩) يبين الرسم الوظيفى لها . طرف القدرة هو الطرف ٥ والأرضى على الطرف ١٢ حيث الشريحة مكونة من ١٦ طرفا .



٧-٦ الشريحة 74LS283 مجمع ذو ٤ بتات ، 4 bit Parallel Adder

هذه الشريحة لها نفس وظيفة الشريحة 7483 ولكنها ليست متطابقة معها فى الأطراف ، فنجد مثلا أن الطرف ١٦ هو طرف القدرة والطرف

٨ هو الأرضى وهذا هو الشكل القياسى تقريبا لشرائح العائلة TTL وهذا لم يكن محققا فى الشريحة السابقة . شكل (٦-١٠) يبين الرسم الوظيفى لهذه الشريحة .
يمكن استخدام أكثر من شريحة للحصول على مجمع لعدد كبير من البتات . شكل (٦-١١) يبين استخدام شريحتين 7483 للحصول على مجمع ٨ بت ، أى مجمع يجمع رقمان كل منهما ٨ بت . يمكن تكرار ذلك لجمع أى عدد من البتات .



٦-٨ مجمع الحمل التموجى ومجمع الحمل الأمامى

Ripple Carry Adder and Look Ahead Carry adder

المجمع الذى شرحناه سابقا نقول عليه أنه مجمع متوازى parallel ، بمعنى أن بتات الرقم الأول تجمع على التوازى مع بتات الرقم الثانى كما رأينا . هذه المجمعات يمكن تقسيمها إلى نوعين من حيث طريقة تعاملها مع الحمل carry . النوع الأول وهو ما يسمى المجمعات ذات الحمل التموجى ripple carry وفيها ينتشر الحمل من مرحلة إلى أخرى حتى نصل إلى المرحلة الأخيرة من المجمع بحيث أن كل مرحلة لابد أن تنتظر المرحلة السابقة لها حتى تتم عملية الجمع حتى يمكنها استخدام الحمل الناتج من هذه المرحلة . شكل (٦-٣) يبين مثل هذا النوع من المجمعات وقد سبق شرحه . نلاحظ من هذا الشكل أن المرحلة n التى تجمع مع an لابد أن تنتظر المرحلة السابقة لها وهى المرحلة n-1 حتى تتم عملية جمع an-1 مع bn-1 مع cn-1 لتنتج cn وهو الحمل الذى ستستخدمه المرحلة n . لذلك فإن هذا النوع من المجمعات يكون بطيئا لأنه علينا الانتظار حتى يتم انتشار propagation الحمل c0 وهو الحمل لأول مرحلة إلى آخر مرحلة . فإذا كان زمن الانتشار لمرحلة واحدة هو T فإن زمن الانتشار الكلى (زمن التأخير) للمجمع كله سيكون nT حيث n هى عدد مراحل هذا المجمع .

النوع الثانى من المجمعات المتوازية هى المجمعات ذات الحمل الأمامى look ahead adders . فى هذا النوع تم إسراع عملية الجمع بدرجة كبيرة عن طريق الاستغناء عن طريقة انتشار الحمل خلال مراحل المجمع كما سبق . كما نعلم فإن المجمع الكامل كأول مرحلة تجميع يكون له ثلاث دخول هى a1 و b1 و c0 كما رأينا عند شرح المجمع الكامل . هذه المجمع الكامل يعطى حملا Cout فى أحد الحالتين التاليتين أو كليهما : الحالة الأولى هى عندما يكون كل من الدخيلين a1 و b1 يساوى واحد ، وهذا ما نسميه بالحمل المتولد generated carry حيث أنه يتولد من دخل نفس المرحلة . هذا الحمل يمكن كتابته فى معادلة كما يلى :

$$Cg1 = a1 \cdot b1 \quad (٦-١١)$$

الحالة الثانية التى يمكن أن نحصل فيها على حمل من المجمع الكامل هى عندما يكون الحمل من المرحلة السابقة c0 يساوى واحد ، وأى واحد من الدخيلين a1 أو b1 أو كليهما يساوى واحد . هذا الحمل يسمى الحمل الانتشارى propagated carry ويعطى بالعلاقة التالية :

$$Cp1=(a1+b1)c0 \quad (١٢-٦)$$

من المعادلتين السابقتين يمكن كتابة الحمل الناتج من المرحلة الأولى كما يلي :

$$Cout1=Cg+Cp$$

$$Cout1=a1b1+(a1+b1)c0 \quad (١٣-٦)$$

شكل (١٢-٦) يبين طريقة الحصول على الحمل من المجمع الكامل Cout1 كأول مرحلة. الحمل Cout1 سيكون حملا للمرحلة الثانية . في هذه الحالة يمكن كتابة الحمل النهائي للمرحلة الثانية كما يلي :

$$Cout2=Cg2+Cp2$$

$$=a2b2+(a2+b2)Cout1$$

وهذه يمكن كتابتها كما يلي :

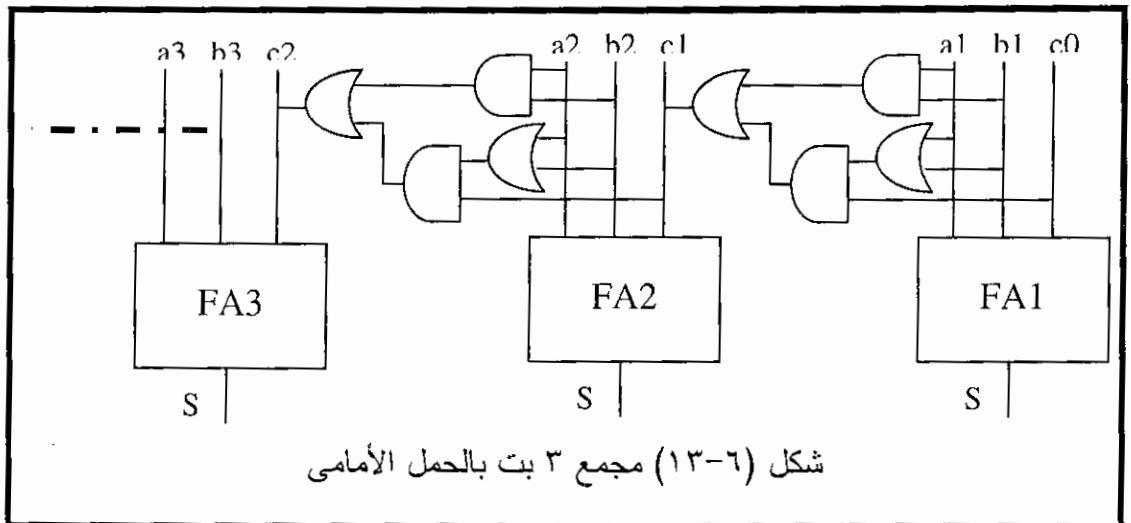
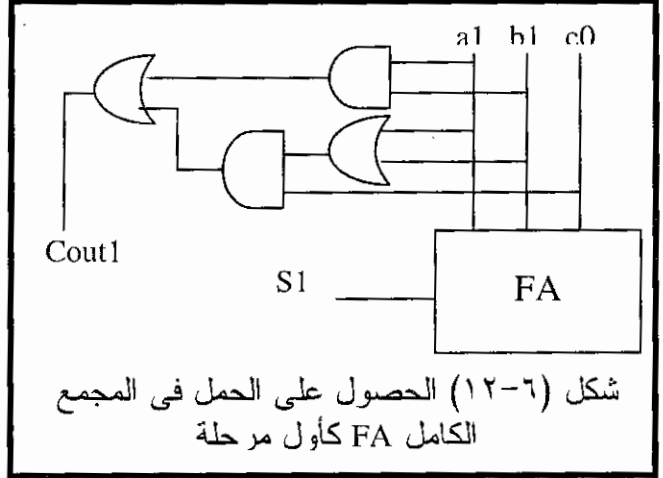
$$Cout2=a2b2+(a2+b2)\{a1b1+(a1+b1)c0\} \quad (١٤-٦)$$

بنفس الطريقة يمكن كتابة الحمل النهائي بعد إضافة مرحلة ثالثة كما يلي :

$$Cout3=Cg3+Cp3$$

$$=a3b3+(a3+b3)Cout2 \quad (١٥-٦)$$

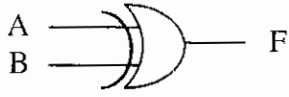
حيث Cout2 يمكن التعويض عنها من المعادلة (١٤-٦) . من المعادلتين (١٤-٦) و (١٥-٦) نرى أنه لكي نحصل على الحمل النهائي في أي مرحلة من مراحل المجمع فإنه ليس علينا أن ننتظر حتى يتم حساب الحمل في المراحل السابقة ، ولكن الحمل عند أي مرحلة يعتمد فقط على الدخول ، أي الرقمين المطلوب جمعهما A و B . بهذه الطريقة فإن زمن التأخير الناتج عن انتشار الحمل خلال مراحل المجمع كما في الطريقة السابقة يقل بدرجة كبيرة . شكل (١٣-٦) يبين مجمع ٣ بت مع الحمل الأمامي . نلاحظ من هذا الشكل أنه بمجرد وضع الرقمين A و B وحمل المرحلة الأولى c0 فإن جميع الأحمال الأخرى تتحدد فورا دون انتظار لإتمام عملية الجمع في المراحل السابقة .



الشريحتان 7483 و 74283 كل منهما عبارة عن مجمع ٤ بت مع الحمل الأمامي وهذا يميزهما بالسرعة كما رأينا . لاحظ أنه عند توصيل أكثر من شريحة للحصول على مجمع لأكثر من ٤ بت فإن توصيل الحمل من شريحة سابقة لشريحة تالية تعتبر عملية حمل انتشاري لأن الشريحة التالية لن تحصل على الحمل إلا بعد إتمام عملية الجمع في المرحلة السابقة .

٦-٩ دوائر المقارنة Comparators

مطلوب من دائرة المقارنة أن تقارن دخلين A و B وتعطى قرارا ، هل الدخلين متساويين ؟ وإذا لم يكونا متساويين فأيهما أكبر من الآخر ؟ إذن نتوقع أن مثل هذه الدائرة سيكون لها ثلاثة خروج ، أحدهم يكون نشط إذا كان $A=B$ ، والثاني يكون نشط إذا كان $A>B$ أما الخرج الثالث فيكون نشط إذا كان $A<B$.



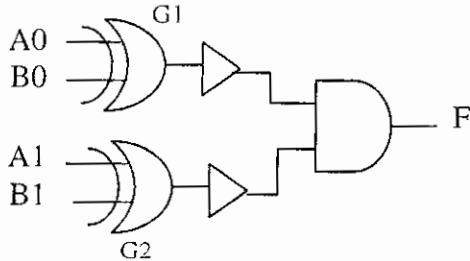
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

شكل (٦-١٤) البوابة XOR كمقارن

البوابة XOR كما نعلم من جدول الحقيقة الخاص بها يقوم بجزء من هذه المقارنة حيث أن خرجها يكون صفرا إذا تساوى دخلها ، ويكون واحد إذا اختلف الدخلان . عيب استخدامها كمقارن أنها لا تحدد أى الدخلين أكبر من الآخر إذا لم يكونا متساويين ، كما أنها تقارن دخلين كل منهما بت واحدة فقط .

شكل (٦-١٤) يبين بوابة XOR وجدول الحقيقة الخاص بها . يمكن استخدام أكثر من بوابة XOR لمقارنة رقمين كل منهما أكثر من بت واحدة . شكل (٦-١٥) يبين دائرة

مقارنة لرقمين كل منهما مكون من ٢ بت . كما نرى من هذا الشكل فإن البوابة G1 تقارن



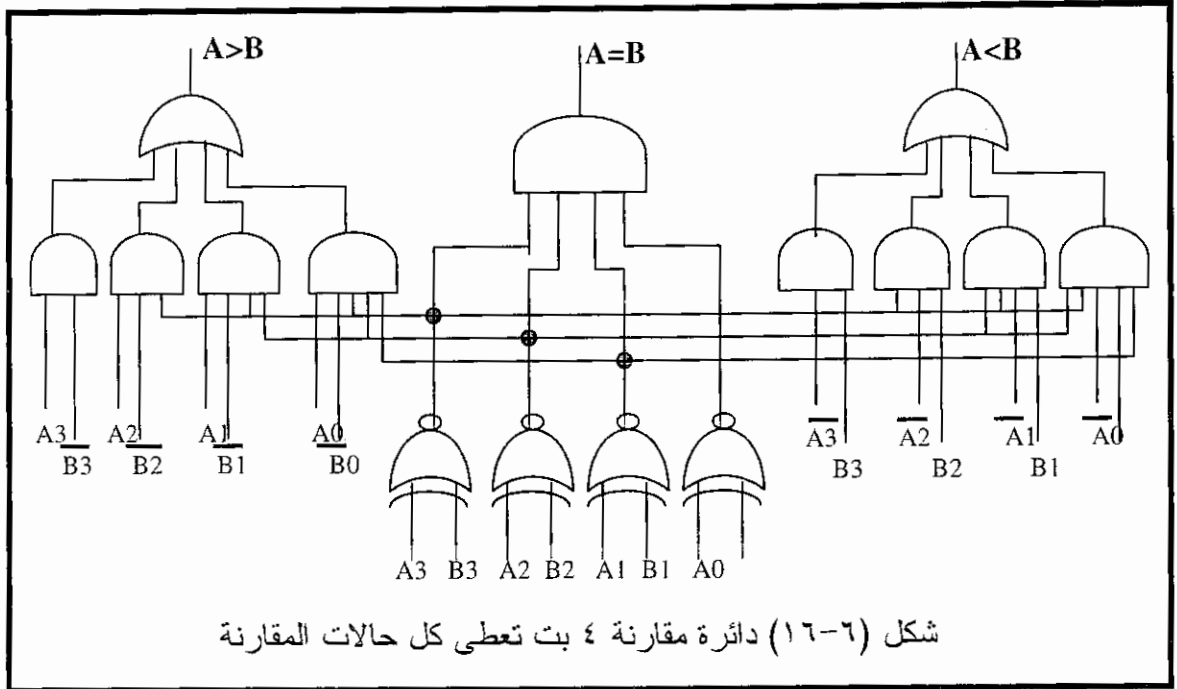
شكل (٦-١٥) استخدام بوابتين XOR لمقارنة رقمين كل منهما ٢ بت

الخانتين ذات القيمة الصغرى ، $A0$ و $B0$ ، والبوابة G2 تقارن الخانتين التاليتين $A1$ و $B1$. كل من البوابتين تعطى صفر في حالة التساوى ولذلك تم عكس خرج البوابتين وإدخالهما على بوابة AND التي تعطى واحد في حالة تساوى الرقمين . بنفس الطريقة يمكن تطوير الدائرة في شكل (٦-١٥) لنقارن رقمين كل منهما يحتوى أى عدد من البتات . هذه الدائرة ما زالت تقوم بعملية مقارنة محدودة حيث أنها تعطى واحد في

حالة تساوى الرقمين ولكنها لا تقرر أى الدخلين أكبر أو أصغر من الدخل الآخر . شكل (٦-١٦) يبين دائرة منطقية لها ثلاثة خروج تمثل كل حالات المقارنة التالية :

- عندما يتساوى الدخلين $A0=B0$ و $A1=B1$ و $A2=B2$ و $A3=B3$ ، في هذه الحالة فإن كل من الأربع بوابات XOR المعكوس خرج كل منها تعطى واحد ، والأربع وحيد الداخلة على البوابة AND تعطى واحد نتيجة ذلك ، وبذلك يكون الخرج $A=B$ يساوى واحد دلالة على أن الدخلين متساويين . في هذه الأثناء يكون خرج كل بوابات ال AND المؤدية إلى الخرج $A>B$ تساوى صفر لأن الدخلين لكل بوابة يكونان متساويان ، وحيث أن الدخل B في هذه الحالة معكوس فإن الدخلين للبوابة سيكون كل منهما عكس الآخر وبالتالي فإن كل بوابات ال AND ستعطى أصفارا على خرجها وبالتالي فإن الخرج $A>B$ سيكون صفرا في هذه الحالة . بنفس المنطق سنجد أن الخرج $A<B$ سيعطى صفرا هو الآخر في هذه الأثناء .
- في حالة عدم تساوى الرقمين تبدأ المقارنة من آخر بت ، أى مقارنة البت $A3$ مع البت $B3$.

فإذا كان $A_3 > B_3$ أى $A_3=1$ و $B_3=0$ فإنه فى هذه الحالة سيكون خرج ال AND المتصلة ب A_3 و B_3 واحد وبالتالي فإن الخرج $A > B$ سيكون واحد هو الآخر . فى هذه الأثناء سيكون الخرج $A=B$ يساوى صفر والخرج $A < B$ هو الآخر يساوى صفر . أما إذا كان $A_3=0$ و $B_3=1$ فإنه فى هذه الحالة سيكون الخرج $A < B$ يساوى واحد والخرج الأخرى أصفارا . تتبع ذلك من على الدائرة فى شكل (٦-١٦) .

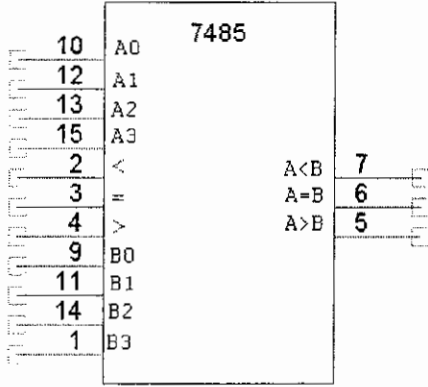


شكل (٦-١٦) دائرة مقارنة ٤ بت تعطى كل حالات المقارنة

- إذا كان $A_3=B_3$ فإن ال AND المتصلة بهم تعطى صفر ، ويتم النظر فى حالة البتات A_2 و B_2 . فإذا كان $A_2 > B_2$ فإن ال AND التى دخلها A_2 و B_2 تعطى واحد ويكون الخرج $A > B$ فى هذه الحالة يساوى واحد . لاحظ أن الدخل الثالث لهذه ال AND يساوى واحد من خرج ال XOR التى دخلها A_3 و B_3 . بنفس الطريقة سيكون الخرج $A < B$ يساوى واحد إذا كان $A_2=0$ و $B_2=1$.
- بنفس الطريقة يمكن تتبع هذه الخرج فى حالة تساوى A_3 و B_3 وتساوى A_2 و B_2 فى هذه الحالة ننظر إلى A_1 و B_1 وعلى ضوء أيهما أكبر سيكون أحد الخرجين $A > B$ أو $A < B$ يساوى واحد .
- فى حالة تساوى A_1 و B_1 أيضا يتم النظر فى A_0 و B_0 وبناء عليهما يتقرر أى الدخلىين أكبر ، فإذا تساوى ، فإن الدخلىين يتساويان فى هذه الحالة ونعود إلى أن الخرج $A=B$ سيعطى واحد وباقى الخرج أصفارا . تتبع كل هذه الحالات بتانى على الدائرة الموضحة فى شكل (٦-١٦) .

٦-١٠ الشريحة 7485 مقارن ذو ٤ بتات

الشريحة 7485 عبارة عن مقارن ذو ٤ بتات حيث يمكن استخدام أكثر من شريحة لمقارنة الأرقام التى تتكون من أكثر من ٤ بتات . الشريحة تقارن الدخل $A(A_3, A_2, A_1, A_0)$ مع الدخل $B(B_3, B_2, B_1, B_0)$ وإذا تساوى الدخلىان فإن الخرج $A=B$ يساوى واحد إذا كان الطرف ٣ للشريحة يساوى واحد . الخرج $A > B$ و $A < B$ تكون أصفارا فى هذه الحالة . بنفس الطريقة إذا



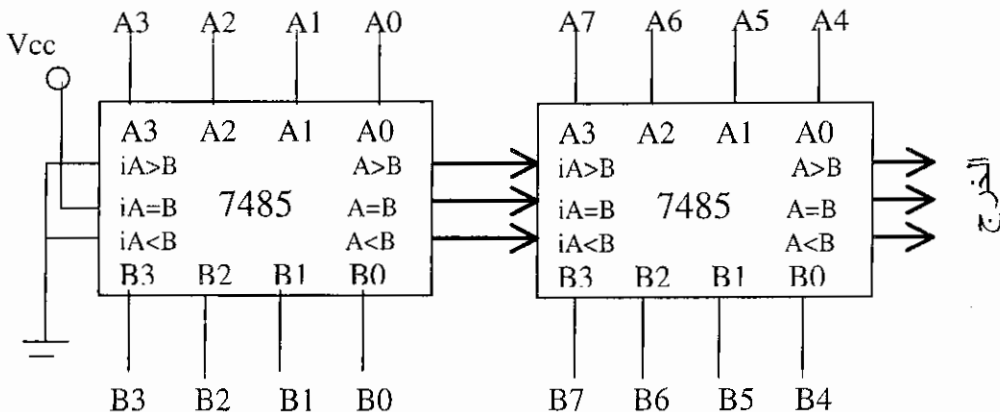
شكل (٦-١٧) الرسم الوظيفي
للشريحة 7485

كان الدخل A أكبر من الدخل B مهما كانت الإشارة على الأطراف ٢ و ٣ و ٤ فإن الخرج $A > B$ يكون واحد . أما إذا كان الدخل A أقل من الدخل B مهما كانت الإشارة على الأطراف ٢ و ٣ و ٤ أيضا فإن الخرج $A < B$ يكون واحد في هذه الحالة . جدول ٦-٣ يبين جدول الحقيقة لهذه الشريحة . الحرف X يبين الجدول يعني "لا يهم" أو Do not care وهذا يعني أن هذا الطرف يكون واحد أو صفر ، لا يهم . شكل (٦-١٧) يبين الرسم الوظيفي لهذه الشريحة . الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضي للشريحة .

شكل (٦-١٨) يبين استخدام شريحتين 7485 لمقارنة رقمين كل منهما ٨ بت .

الدخول المطلوب مقارنتها				نتيجة المقارنة السابقة			الخرج		
A3,B3	A2,B2	A1,B1	A0,B0	iA>B	iA=B	iA<B	A>B	A<B	A=B
A3>B3	x	x	x	x	x	x	H	L	L
A3<B3	x	x	x	x	x	x	L	H	L
A3=B3	A2>B2	x	x	x	x	x	H	L	L
A3=B3	A2<B2	x	x	x	x	x	L	H	L
A3=B3	A2=B2	A1>B1	x	x	x	x	H	L	L
A3=B3	A2=B2	A1<B1	x	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	x	x	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

جدول ٦-٣ جدول الحقيقة للشريحة 7485

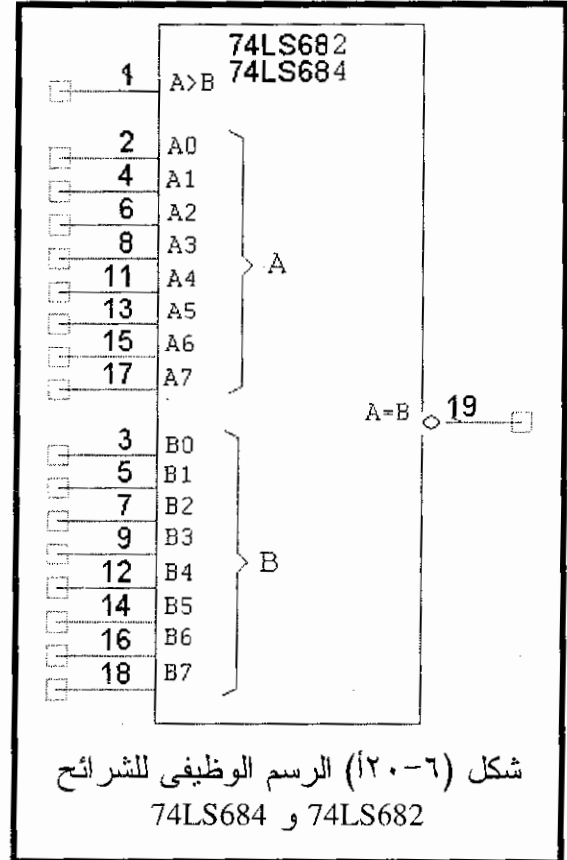
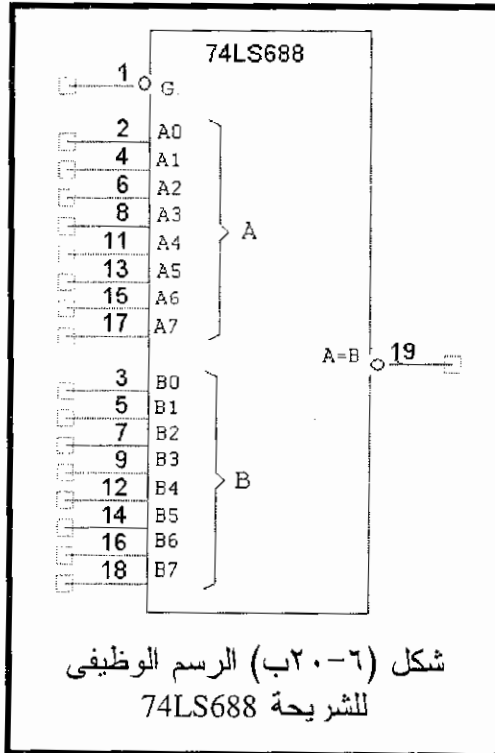
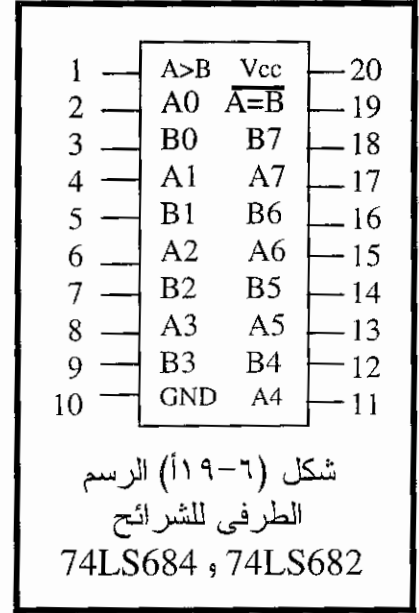
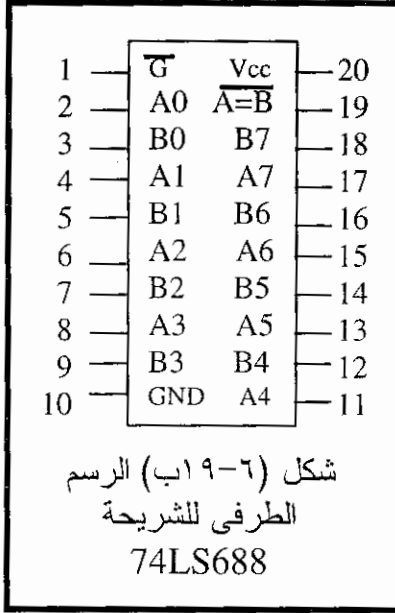


شكل (٦-١٨) استخدام شريحتين 7485 لمقارنة رقمين كل منهما ٨ بت

١١-٦ الشرائح 74LS682 و 74LS684 و 74LS688

مقارن ذو ٨ بتات

هذه الشرائح تقارن رقمين كل منهما ٨ بت . كل هذه الشرائح تعطى الخرج $A=B$ في حالة تساوى الدخلين . الشريحتين 74LS682 و 74LS684 تعطى الخرج $A>B$ بجانب الخرج $A=B$. شكل (١٩-٦ و ١٩-٦ب) يبين الرسم الطرفي لكل شريحة والأشكال (٢٠-٦ و ٢٠-٦ب) تبين الرسم الوظيفي لكل منها . لاحظ أن الطرف ١ في الشرائح 74LS682 و 74LS684 كان يمثل الخرج $A>B$ وأصبح طرف تنشيط منخفض الفعالية في الشريحة 74LS688 .



٦-١٢ تمارين

- ١- استخدم خريطة كارنوف لتبسيط معادلة المجموع S_n والحمل c_n في المعادلة (٦-٣) والمعادلة (٦-٤) .
- ٢- صمم دائرة المجمع الكامل الموجودة في شكل (٦-٥) باستخدام بوابات الناند فقط .
- ٣- وضح بالرسم كيف تستخدم شريحتين ٧٤٨٣ لجمع عددين كل منهما ٨ بت .
- ٤- أعد تمرين ٣ لجمع عددين كل منهما ١٢ بت مستخدما الشريحة ٧٤٢٨٣ .
- ٥- الأرقام الثنائية التالية تمثل نتائجات دخل للشريحة ٧٤٨٣ . أكتب نتائجات الخرج الناتجة على كل مخرج من مخارج الشريحة . إعتبر النتائجات من اليمين لليسار :

A1=10001100

A2=11001010

A3=01011111

A4=10011001

B1=11001100

B2=10010011

B3=10100111

B4=00111101

- ٦- ارسم الدائرة الكاملة لمجمع بالحمل الأمامي من ٤ بت .
- ٧- المجمع الطارح الموجود في شكل (٦-٨) يحتوى ٣ خطوط تحكم S_0, S_1, S_2 اكتب الخرج الناتج من المجمع عند جميع الحالات الممكنة لهذه الخطوط .
- ٨- النتائجات الموجودة في تمرين ٥ تم توصيلها كمدخل لشريحة المقارن ٧٤٨٥ . أكتب النتائجات الناتجة على كل مخرج إذا كان الدخل $A=B$ يساوى واحد والدخلين $A>B$ و $A<B$ يساوى صفر .
- ٩- أعد تمرين ٨ مستخدما الشريحة ٧٤٦٨٨ .
- ١٠- ارسم دائرة لمقارنة رقمين كل منهما ١٢ بت . مطلوب الثلاث مخارج $A=B, A>B, A<B$. استخدم أحد شرائح المقارنة .