الفصل السادس عشر 16

مواجهة المعالج 8086/8088

16-1 مـــــقدمـــــة

لقد رأينا في الفصول السابقة كيفية مواجهة المعالج 8085 مع الذاكرة ومع بوابات الإدخال و الإخراج . إن مواجهة المعالج 8086 لن تختلف كثيرا عن ذلك وسنحاول تقديمها هنا سريعا من خلال شرح مختصر لوظيفة كل طرف من أطراف هذه الشريحة . ثم شرح عملية فصل المسارات المختلفة ، مسار العناوين ، ومسار البيانات ، ومسار التحكم .

16-2 الوظائف المختلفة لأطراف الشريحة 8086/8088

كل من الشريحتين 8086 أو 8088 لها 40 طرفا وهذه هي آخر أجيال شرائح المعالجات التي لها هذا العدد من الأطرف حيث كما سنرى في المعالجات القادمة أن عدد الأطراف قد قفز قفزة كبيرة . الاختلاف بين وظائف أطراف الشريحة 8086 و الشريحة 8088 بسيطا جدا وفي عدد محدود جدا من الأطراف كما سنرى .

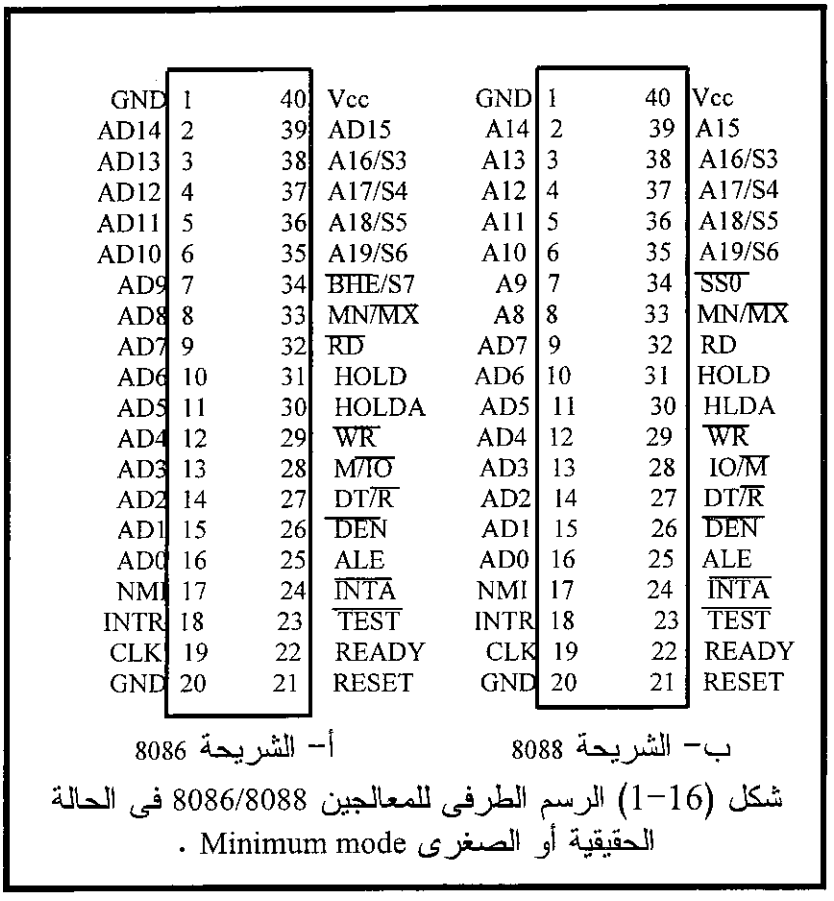
قبل أن ندخل في تفاصيل وظائف هذه الأطراف يجب أن نعلم أن كل من الشريحتين تستخدم فكرة المزج الزمني time multiplexing التي سبق شرحها مع الشريحة 8085 بإسهاب ومع الكثير من الأطراف . إن فكرة المزج الزمني كما سبق وقدمناها تتلخص في أن نفس الطرف يمكن أن يحمل أكثر من إشارة في وقتين مختلفين . فمثلا الطرف AD0 يحمل إشارة عناوين وإشارة بيانات أيضا ، فهذا الخط يمثل الإشارة D0 عند لحظة معينة ، كما يمثل الإشارة A0 عند لحظة أخرى . قبل مواجهة شريحة المعالج مع أية شريحة أخرى لابد من فصل إشارة البيانات على خط منفصل وإشارة العناوين على خط آخر . تتم عملية الفصل باستخدام الطرف ALE الذي يكون واحدا عندما تكون الإشارة على الطرف AD0 مثلا تمثل عناوين ، ويكون صفرا عندما تكون الإشارة على هذا الخط تمثل بيانات .

هنا نرجو من القارئ أن يراجع الفصل الخاص بفصل أو عزل مسارات الشريحة 8085 حيث أنها هي نفسها بالضبط المستخدمة مع الشريحة 8086/8088 .

شكل (16-1) يبين رسما طرفيا لكل من الشريحتين 8086/8088 حيث يمكن عرض وظائف هذه الأطراف كما يلي :

1. **الخطوط AD0 إلى AD7** تحمل مزيج من إشارة العناوين والبيانات حيث تكون الإشارة على هذه الأطراف عناوين عندما يكون الطرف ALE فعال أي

واحد ، وتكون بيانات عندما يكون الطرف ALE غير فعال أي صفر . هذا الكلام مطبق على كل من الشريحتين 8086 أو 8088 .



أ- الشريحة 8086 ب- الشريحة 8088

شكل (16-1) الرسم الطرفى للمعالجين 8086/8088 فى الحالة الحقيقية أو الصغرى Minimum mode .

2. **الخطوط AD8 إلى AD15** ، في حالة الشريحة 8088 تسمى هذه الأطراف A8-A15 حيث أنها في هذه الحالة تحمل إشارة عناوين فقط طول الوقت وليس هناك أي مزج زمني في الإشارات لأن مسار البيانات في هذه الشريحة 8 خطوط فقط وينتهي عند الطرف AD7 . أما في حالة الشريحة 8086 فإن مسار البيانات يكون 16 طرفا ، لذلك فإن الخطوط AD8-AD15 تحمل مزيجا من إشارة البيانات D8 إلى D15 وإشارة العناوين A8 إلى A15 حيث تكون الإشارة على هذه الخطوط إشارة عناوين عندما يكون الطرف ALE فعالا (1) ، وتكون الإشارة بيانات عندما يكون الطرف ALE غير فعال (0) كما في حالة الخطوط AD0-AD7 .

3. **الأطراف A16/S3 و A17/S4 و A18/S5 وA19/S6** تحمل إشارة عناوين للخطوط A16-A19 حينما يكون الخط ALE فعالا . عندما يكون الخط ALE غير فعال فإن هذه الخطوط تحمل الإشارات S3, S4, S5, S6 التي تمثل حالات مختلفة للمعالج . حيث الطرف S6 يكون صفرا دائما ، والطرف S5 يبين حالة علم المقاطعة ، والطرفين S3, S4 يبينان أي مقطع من الذاكرة يتم التعامل معه في حالة التعامل مع الذاكرة كما في جدول 16-1 .

S4	S3	الوظيـــــفة
0	0	Extra segment
0	1	Stack segment
1	0	Code
1	1	Data

جدول 16-1

4. **الطرف** $\overline{RD}$ هذا الطرف يكون فعالا (0) حينما يكون المعالج في حالة قراءة للبيانات سواء من الذاكرة أو من بوابة إدخال . أي أن البيانات الموجودة على مسار البيانات في هذه الحالة تكون داخلة للمعالج ولا يهم من أي مصدر تكون هذه البيانات .
5. **الطرف READY** . لكي يقوم المعالج بتنفيذ أي أمر ، لابد وأن يكون هذا الطرف فعالا (1) . إذا أصبح هذا الخط صفرا فإن المعالج يدخل في حالة انتظار ، حيث تتجمد جميع أطراف المعالج على الحالة التي كان عليها ، ويستفاد بذلك عند مواجهة المعالج مع بعض الأجهزة الخارجية البطيئة مثل بعض شرائح الذاكرة البطيئة أو أجهزة الإدخال والإخراج مثل الطابعات والتي لا تضاهى سرعتها سرعة المعالج .
6. **الطرف INTR** ، حينما يكون هذا الطرف فعالا (1) تتم مقاطعة المعالج ، حيث يكمل تنفيذ الأمر المشغول به ثم يذهب لتنفيذ برنامج معين لخدمة هذه المقاطعة ، وبعد الانتهاء من هذه الخدمة يرجع المعالج إلي نفس مكان البرنامج الأساسي الذي تمت عنده المقاطعة .
7. **الطرف** $\overline{TEST}$ ، الأمر WAIT والذي يمثل حالة انتظار يدخل المعالج فيها ويظل فيها طالما أن الخط TEST غير فعال (1) . عندما يصبح هذا الخط فعالا (0) فإن المعالج يخرج من حالة الانتظار ويستمر في تنفيذ البرنامج الأساسي . حالة الانتظار هنا يتم الدخول فيها بالأمر WAIT على العكس من

حالة الانتظار التي يتم الدخول فيها بجعل الخط READY صفرا ، حيث تنتهي هذه الحالة برجوع الخط READY واحد مرة أخرى .

8. **الطرف NMI** ، وهو طرف المقاطعة الغير قابلة للحجب أو غير المقنعة ، حيث تتم مقاطعة المعالج هنا بانتقال الخط NMI من الصفر إلي الواحد (أي عند الحافة الصاعدة) ، ولايهم هنا أن يكون علم المقاطعة يساوي واحد ، وتوضع على هذا الطرف إشارات المقاطعة المهمة مثل إشارات انقطاع القدرة مثلا .
9. **الطرف RESET** ، أو إعادة الوضع ، حيث عندما يكون هذا الطرف واحد فإن المعالج يذهب فورا إلي عنوان الذاكرة FFF0H ويبدأ التنفيذ من هناك . وفي العادة يكون عند هذا العنوان أمر قفز إلي مكان آخر في الذاكرة يحتوي شفرة برنامج خاص بإعادة الوضع للمعالج .
10. **الطرف CLK** يتم إدخال نبضات التزامن من على هذا الطرف بالتردد المطلوب و duty cycle أو زمن ON/OFF بنسبة 33% حتى نضمن التزامن المطلوب لجميع العمليات التي ينفذها المعالج .
11. **الطرف Vcc** حيث يوضع جهد القدرة الثابت 5V +/- 10% .
12. **الطرف GND** وهما طرفان يجب أن يكونا متصلين بباقي أطراف الأرضى في النظام الخارجي .
13. **الطرف** $MN/\overline{MX}$ ، وهو طرف الحالة حيث عندما يكون هذا الطرف (1) فإن المعالج يعمل في الحالة الصغرى Minimum ، وإذا كان هذا الطرف (0) فإن المعالج يعمل في الحالة العظمى Maximum . الحالة الصغرى هي الحالة العادية للمعالج 8086 ، وأما الحالة العظمى فهي حالة المعالج عندما يتعامل مع معالج العمليات الحسابية 8087 .
14. **الطرف** $\overline{BHE}/S7$ يستخدم هذا الخط لتنشيط البايت ذات القيمة العظمى من مسار البيانات D0-D15 في أثناء قراءة أو كتابة البيانات . هذه الإشارة تمتزج مع إشارة الحالة S7 . هذا الطرف بالطبع موجود فقط في المعالج 8086 الذي يتعامل على أساس أن البيانات الخارجية 16 بت .
15. **الطرف** $IO/\overline{M}$ فى المعالج 8088 هذا الطرف يبين ما إذا كانت الإشارة الموجودة على مسار العناوين تمثل عنوان في ذاكرة أم عنوان لوحدة إدخال أو إخراج . هذا الخط يكون (1) إذا كانت الإشارة تمثل عنوان في وحدة إدخال أو إخراج ويكون (0) إذا كانت الإشارة تمثل عنوان في ذاكرة . لاحظ وجود شرطة على الحرف M في اسم هذا الطرف . فى حالة المعالج 8086 تكون الإشارة على هذا الطرف معكوسة ورمز الخط فى هذه الحالة هو $\overline{M/IO}$.

16. **الطرف** $\overline{WR}$ مثل الطرف $\overline{RD}$ يكون فعالا (0) في حالة كتابة بيانات في الذاكرة أو أي وحدة إخراج .
17. **الطرف** $\overline{INTA}$ ، عند الاستجابة لطلب المقاطعة على الطرف INTR ، فإن المعالج يجعل الخط $\overline{INTA}$ فعالا (0) للدلالة على أنه قبل المقاطعة واعترف بها وينتظر إدخال رقم المقاطعة التي سيقوم بخدمتها على مسار البيانات .
18. **الطرف ALE** ، وهو خط مسك العنوان Address latch enable يستخدم للدلالة على أن الإشارة الموجودة على الخطوط AD0-AD15 تمثل عناوين أم بيانات . عندما يكون هذا الخط واحد فإن الإشارة على هذه الخطوط تمثل عنوان ، وعندما يكون الخط ALE صفرا فإن الإشارة على هذه الخطوط تمثل بيانات . يستخدم هذا الخط لفصل إشارة العناوين عن البيانات كما سنرى .
19. **الخط** $DT/\overline{R}$ ، خط إرسال أو استقبال البيانات حيث يستخدم هذا الخط لبيان إذا كانت البيانات خارجة Transmit, T أو داخلة Receive, R للمعالج . لذلك فإن هذا الخط سيستخدم لتحديد اتجاه البيانات عند فصل مسار البيانات كما سنرى .
20. **الطرف** $\overline{DEN}$ ، طرف تنشيط مسار البيانات Data bus enable ، حيث يستخدم هذا الطرف لبيان إذا كانت الخطوط AD0-AD15 تحمل إشارة بيانات حقيقية أم لا .
21. **الطرف HOLD** ، عندما يكون هذا الطرف فعالا (1) فإن المعالج يضع كل مساراته (البيانات ، والعناوين ، والتحكم) في الحالة الثالثة ، حالة المقاومة العالية ، أو بمعنى آخر فإن المعالج ينفصل عن كل المسارات الخارجية تاركا إياها في العادة لمتحكم الاتصال المباشر بالذاكرة Direct memory access لاستخدامها في نقل البيانات مباشرة للذاكرة .
22. **الطرف HLDA** ، خط استجابة للطرف HOLD ويستخدمه المعالج للدلالة على أنه قبل الإشارة HOLD وأنه قد تم الانفصال عن جميع المسارات حيث عند ذلك يقوم المعالج بوضع (1) على هذا الخط .
23. **الطرف** $\overline{SSO}$ في الشريحة 8088 عبارة عن طرف حالة حيث يستخدم مع الأطراف $IO/\overline{M}$ و $DT/\overline{R}$ لبيان حالة المعالج في أثناء أي دورة مسار Bus cycle . جدول 16-2 يبين هذه الحالات .
24. **الأطراف** $\overline{S0}$ و $\overline{S1}$ و $\overline{S2}$ عبارة عن أطراف حالة تبين حالة المعالج في أثناء أي دورة مسارات وتستخدم هذه الخطوط في الحالة العظمى للمعالج فقط Maximum mode . جدول (16-3) يبين هذه الحالات ، لاحظ التشابه الموجود بينها وبين جدول 16-2 .

25. **الأطراف** $\overline{RQ}/\overline{GT1}$ و $\overline{RQ}/\overline{GT0}$ تستخدم هذه الخطوط لطلب المسارات عن طريق المعالج الحسابي المساعد Math coprocessor الخارجي فى الحالة العظمى فقط maximum mode . كل من هذه الخطوط ثنائي الاتجاه حيث عليها يطلب المعالج المساعد المسارات ، وعليها أيضا يستجيب المعالج ليخبر المعالج الخارجي بأن المسارات متاحة . هذه الخطوط ممزوجة مع الإشارات HOLD و HOLDA .

$IO/\overline{M}$	$DT/\overline{R}$	$\overline{SSO}$	الوظيفة
0	0	0	حالة اعتراف بالمقاطعة Interrupt acknowledge
0	0	1	قراءة من الذاكرة Memory read
0	1	0	كتابة فى الذاكرة Memory write
0	1	1	توقف Halt
1	0	0	تعامل مع شفرة أمر Code access
1	0	1	قراءة من بوابة إدخال I/O read
1	1	0	كتابة فى بوابة إخراج I/O write
1	1	1	حالة خمول Remains passive

جدول 16-2

$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	الوظيـــفة
0	0	0	حالة اعتراف بالمقاطعة Interrupt acknowledge
0	0	1	قراءة من بوابة إدخال I/O read
0	1	0	كتابة فى بوابة إخراج I/O write
0	1	1	توقف Halt
1	0	0	تعامل مع شفرة أمر Code access
1	0	1	قراءة من الذاكرة Memory read
1	1	0	كتابة فى الذاكرة Memory write
1	1	1	حالة خمول Remains passive

جدول 16-3

26. **الطرف** $\overline{LOCK}$ ، يستخدم فى الحالة العظمى فقط (طرف 29) ، حينما يكون هذا الطرف فعالا (0) يمنع أي معالج خارجي من الاتصال بالمسارات . بعض الأوامر تستفيد بهذا الخط حتى تضمن اكتمال تنفيذها دون أي تدخل من المعالجات الخارجية .
27. **الأطراف QS0-QS1** (الأطراف 25و24) عبارة عن خطوط حالة تبين حالة الطابور Queue الموجود في وحدة مواجهة المسارات لبيان إذا كان هذا الطابور فارغ أو ممتلئ . لاحظ أن هذا الطابور يتكون من 6 بايت في حالة المعالج 8086 و 4 بايت في حالة المعالج 8088 . هذه الخطوط فعالة فى الحالة العظمى فقط .

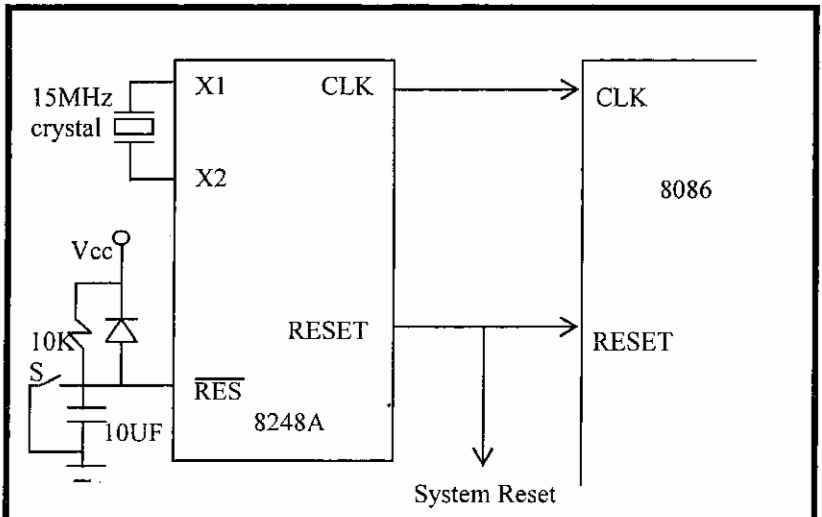
16-2-1 نبضات الساعة clock للمعالج 8086

كما رأينا سابقا فإنه لابد من إدخال نبضات ساعة مربعة الشكل سابقة التجهيز إلى الطرف CLK وهو الطرف رقم 19 في الشريحة . تردد هذه النبضات حوالي 5 ميجاهرتز ، والنسبة الدورية لها 33% . هذه النبضات يتم تزامن جميع عمليات المعالج معها . لقد تم إنتاج شريحة بواسطة شركة Intel تعطى هذه النبضات بالمواصفات المطلوبة للمعالج 8086 كما أنها تأخذ الإشارة Reset من المستخدم وتقدمها للمعالج بالمواصفات والتزامن المطلوب ، وكذلك الإشارة READY . هذه الشريحة هى الشريحة Intel 8284A . هذه الشريحة لها طرفان X1 و X2 يوصل عليها بللورة crystal بالتردد المناسب ، كما يوصل عليها المفتاح RESET كما فى شكل (16-2) . بالطبع ليس بالضرورة استخدام الشريحة 8284A بالذات ولكن يمكن استخدام أى مولد ذبذبات بالمواصفات المطلوبة ، ولكن يفضل استخدامها بالذات تجنبا للكثير من المشاكل وتوفير الكثير من المكونات التى قد تكون مضطرا لاستخدامها .

16-3 عزل مسارات المعالج 8086

إن عملية عزل (فصل) مسارات المعالج 8086 هى نفسها تماما عملية عزل مسارات المعالج 8085 حيث أن كل من المعالجين يستخدم فكرة المزج الزمنى لمسارى البيانات والعناوين . لذلك فإننا نحيل القارئ هنا لمراجعة عملية فصل كل من مسار العناوين والبيانات للشريحة 8085 والتى سبق شرحها . شكل (16-3) يبين كيفية فصل مسارى العناوين والبيانات وبعض خطوط التحكم للشريحة 8086 . نلاحظ من هذا الشكل استخدام ثلاث شرائح 74373 لمسك إشارة العناوين فى الفترة التى يكون فيها الطرف ALE فعالا (1) . لاحظ اتصال

هذا الطرف بالثلاث شرائح ، أما الطرف $\overline{OE}$ لكل شريحة فتم توصيله بالأرضى حتى يكون خرج هذه الشرائح فعالا دائما . بذلك نضمن مسك إشارة خطوط العناوين A0 - A19 وفصلها عن إشارة البيانات . نلاحظ أيضا فى نفس الشكل استخدام شريحتين 74245 للحصول على إشارة البيانات . الشريحة 74245 كما نعلم ثنائية الاتجاه ولذلك فإن اتجاه البيانات فيها تم التحكم فيه باستخدام الطرف $DT/\overline{R}$ الذى تم توصيله على خط التحكم فى الاتجاه DIR فى الشريحة 74245 بذلك نضمن مرور البيانات فى الاتجاه السليم حسب خروجها من المعالج. لابد أيضا أن تكون الشريحة 74245 فعالة فقط أثناء وجود إشارة بيانات محققة على الأطراف AD15-AD0 لذلك تم استخدام الطرف $\overline{DEN}$ الذى يكون فعالا (0) كما ذكرنا من قبل عند وجود بيانات محققة على هذه الأطراف . لذلك تم توصيل الطرف $\overline{DEN}$ بالطرف $\overline{CS}$ للشريحة 74245 .

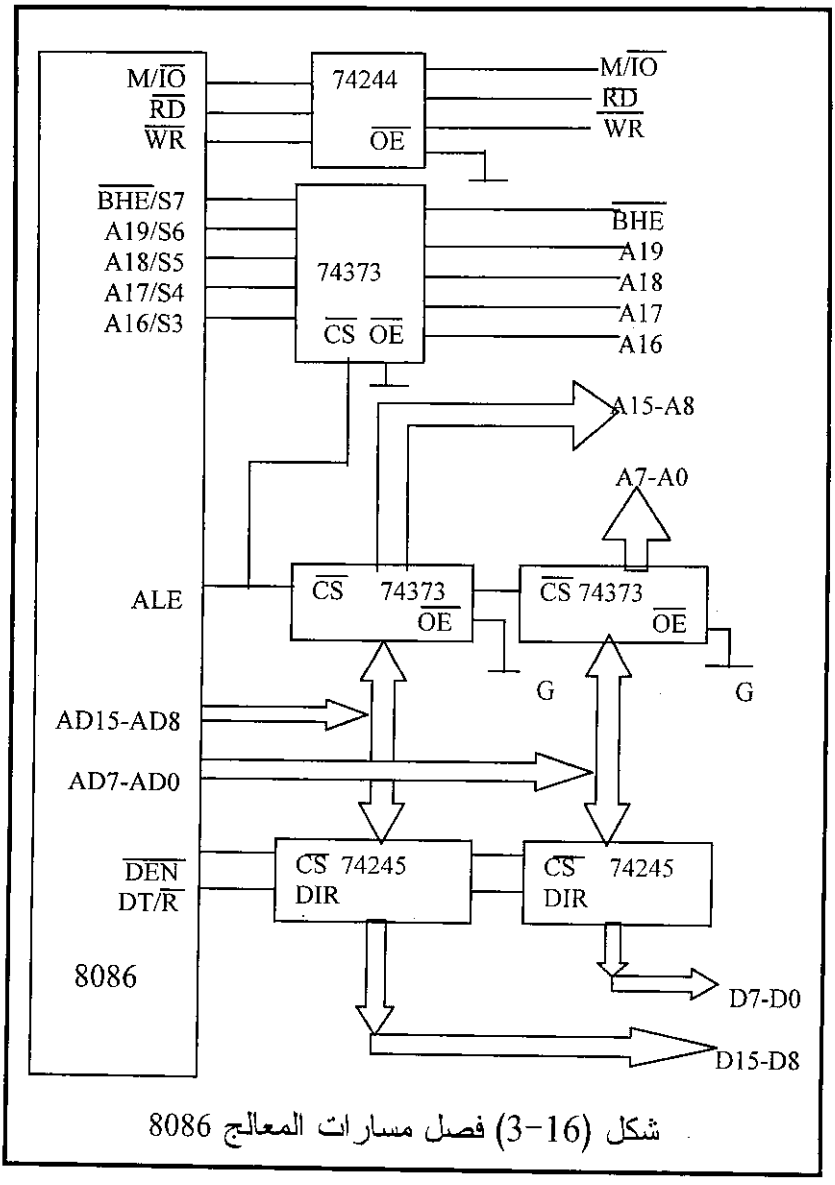


شكل (2-16) مولد نبضات الساعة للمعالج 8086/8088

لقد تم استخدام الشريحة 74244 لفصل خطوط التحكم $IO/\overline{M}$ و $\overline{RD}$ و $\overline{WR}$ وهذه الخطوط غير ممزوجة زمنيا مع أى إشارات أخرى لذلك فعملية الفصل هنا تكون من قبيل عمل حساب الأحمال التى ستوصل على هذه الخطوط .

16-4 مواجهة الشريحة 8086/8088 مع الذاكرة

المعالج 8088 له مسار بيانات 8 بت ومسار عناوين 20 بت ، وعلى ذلك فإنه يستطيع التعامل مع ذاكرة مقدارها 1 ميجابايت . و تتم مواجهته مع هذه الذاكرة بنفس الطريقة التي درسناها مع أي معالج من المعالجات 8 بت التي سبق دراستها ، وننصح هنا بمراجعة الفصل الخاص بمواجهة الذاكرة .



شكل (16-3) فصل مسارات المعالج 8086

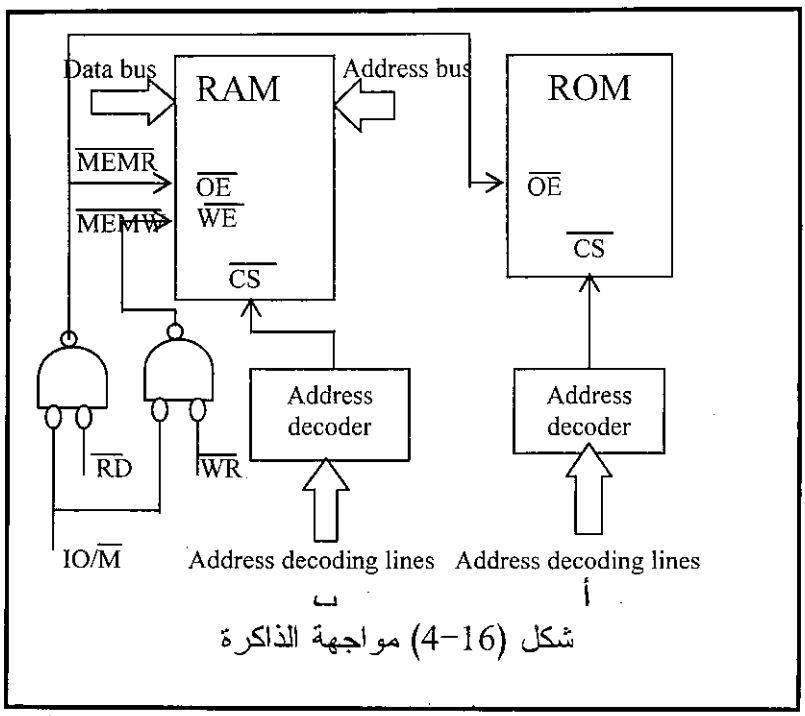
كما رأينا فإن شرائح الذاكرة القابلة للقراءة فقط ROM يكون لها خطي تحكم في العادة وهما الخط $\overline{CS}$ أو أحيانا يسمى $\overline{CE}$ وهو خط اختيار الشريحة Chip Select أو خط تنشيط الشريحة Chip Enable حيث لابد أن يكون هذا الطرف فعالا (0) حتى تعمل هذه الشريحة . هذا الطرف يوصل في العادة بخرج مشفر العناوين Address Decoder الذي نضمن به أن هذه الشريحة لن تعمل إلا في حالة وجود عنوان يقع ضمن المدى العنواني لهذه الشريحة والمحدد بمشفر العناوين . خط التحكم الثاني في شرائح ROM هو الخط $\overline{OE}$ والذي عندما يكون فعالا يسمح بخروج البيانات المطلوب قراءتها على مسار البيانات لهذه الشريحة وبالتالي يستطيع المعالج قراءتها . هذا الطرف $\overline{OE}$ يوصل في العادة بالإشارة $\overline{MEMR}$ والذي يكون فعالا عندما يكون كلا من الخطين $\overline{RD}$ و $IO/\overline{M}$ صفرا .

شكل (16-4أ) يبين كيفية توصيل شرائح ROM على المعالج . بالنسبة لشرائح ذاكرة القراءة والكتابة RAM يكون لها ثلاث خطوط تحكم ، أولها يكون الخط $\overline{CS}$ أو $\overline{CE}$ كما ذكرنا سابقا ، وثانيها هو الخط $\overline{OE}$ كما هو موجود في شرائح ROM ، وأما الخط الثالث فهو الخط $\overline{WR}$ أو خط تنشيط الكتابة Write Enable والذي يجب أن يكون فعالا عند التسجيل أو الكتابة في شريحة RAM . هذا الخط يوصل عادة بخط التحكم $\overline{MEMW}$ المكون من الخطين $\overline{WR}$ و $IO/\overline{M}$ القادمان من المعالج . شكل (16-4ب) يبين ذلك .

إن مواجهة المعالج 8086 تختلف كثيرا عن مواجهة المعالج 8088 وكل المعالجات السابقة ، حيث أن المعالج 8086 يكون مسار البيانات فيه 16بت ، ويكون هناك أوامر تتعامل مع هذا المسار على أساس 16 بت وأوامر أخرى تتعامل مع مسار البيانات على أساس 8 بت . لذلك فإن عملية المواجهة هنا يجب أن تأخذ ذلك في الحسبان . مسار العناوين للمعالج 8086 يتكون من 20 بت ولذلك فإنه سيتعامل مع ذاكرة مقدارها 1 ميجابايت إذا كان سيتعامل على مستوى البايت . أما إذا تعامل على مستوى 16بت (الكلمة) فإنه سيتعامل مع نصف هذه الكمية ، أي نصف ميجاوورد أو 512 كيلوورد . يتم ذلك بالطبع من خلال توصيلة خاصة للذاكرة مع كل من مساري البيانات والعناوين .

المعالج 8086 ينظر للذاكرة على أنها مقسمة نصفين أو بنكين . البنك الأول هو مجموعة البيانات ذات العناوين الزوجية ، والبنك الثاني هو مجموعة البيانات ذات العناوين الفردية كما في شكل (16-5) . البنك الأول أو الزوجي يسمى البنك الأدنى Lower Half لأنه يحمل نصف المعلومة الأدنى D0-D7 ، ويتم

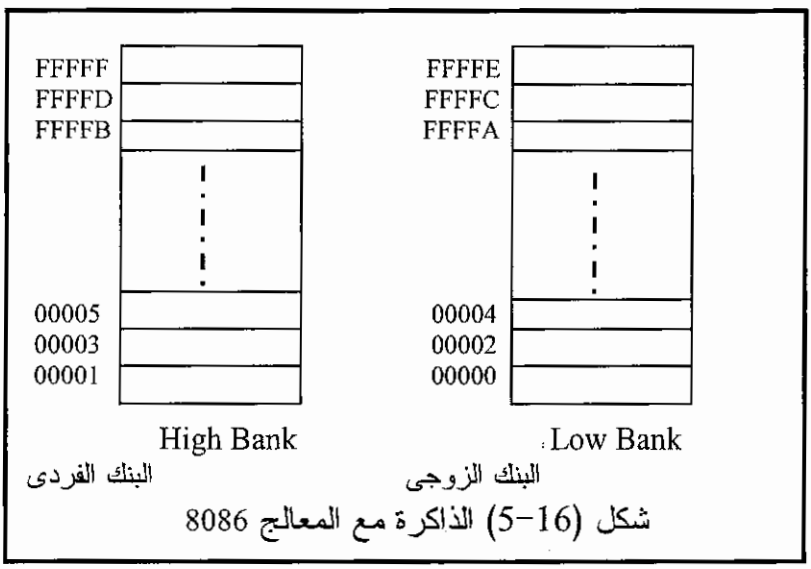
تنشيط هذا النصف باستخدام خط العناوين A0 الذي يكون صفرا عند التعامل مع أي عنوان زوجي حيث أن أي رقم زوجي تكون أول بت فيه تساوي صفرا . أما البنك الأعلى من المعلومة D8-D15 فيتم تخزينه في البنك الأعلى من الذاكرة Higher half ويستخدم في ذلك خط التحكم $\overline{BHE}$ الذي يكون فعالا (0) عند التعامل مع أي بايت في البنك العلوي . إذن معنى ذلك أن الخط A0 سيكون صفرا في حالة التعامل مع النصف الأدنى من الذاكرة على أساس 8 بت فقط ، ويكون أيضا صفرا في حالة التعامل مع الذاكرة على أساس 16 بت . أما الخط $\overline{BHE}$ فيكون فعالا (0) في حالة التعامل مع البنك الأعلى من الذاكرة على أساس 8 بت ، أو التعامل مع الذاكرة على أساس 16بت .



شكل (16-4) مواجهة الذاكرة

شكل (16-6) يبين كيفية استخدام مشفرين للعناوين للتعامل مع ذاكرة مقدارها 1 ميجابايت مقسمة إلي نصفين ، زوجي وفردي ، وكل نصف مكون من 8 شرائح كل منها 64 كيلوبايت . لاحظ ان كل من المشفرين تم توصيل خطوط التحكم لهم A, B, C على خطوط العناوين A17, A18, A19 على التوالي . أما خط التنشيط $\overline{E3}$ في كل من المشفرين يتم توصيله على الخط $M/\overline{IO}$ والذي يكون واحد عند التعامل مع الذاكرة على العكس من الشريحة 8088 التي يكون فيها هذا الخط صفرا عند التعامل مع الذاكرة ، ولذلك فإن هذا الخط يرمز له

بالرمز $IO/\overline{M}$ في حالة الشريحة 8088 . أما خط التحكم $\overline{E2}$ فتم توصيله بالأرضي في الشريحتين ليكون فعالا دائما ، وأما خط التحكم $\overline{E1}$ في المشفر الأول فمتصل بخط العناوين A0 ليختار النصف الأدنى أو الزوجي من الذاكرة ، والخط $\overline{BHE}$ تم توصيله على الخط $\overline{E1}$ في المشفر الثاني الذي يختار النصف الأعلى أو الفردي من الذاكرة . لذلك فإنه عند التعامل مع الذاكرة على أساس 16 بت فإن كل من A0 و $\overline{BHE}$ يكونان فعالان (0) ويتم التعامل مع نصفى الذاكرة في نفس الوقت حيث يتم قراءة أو كتابة البيانات على مسار البيانات بالكامل D0-D15 .

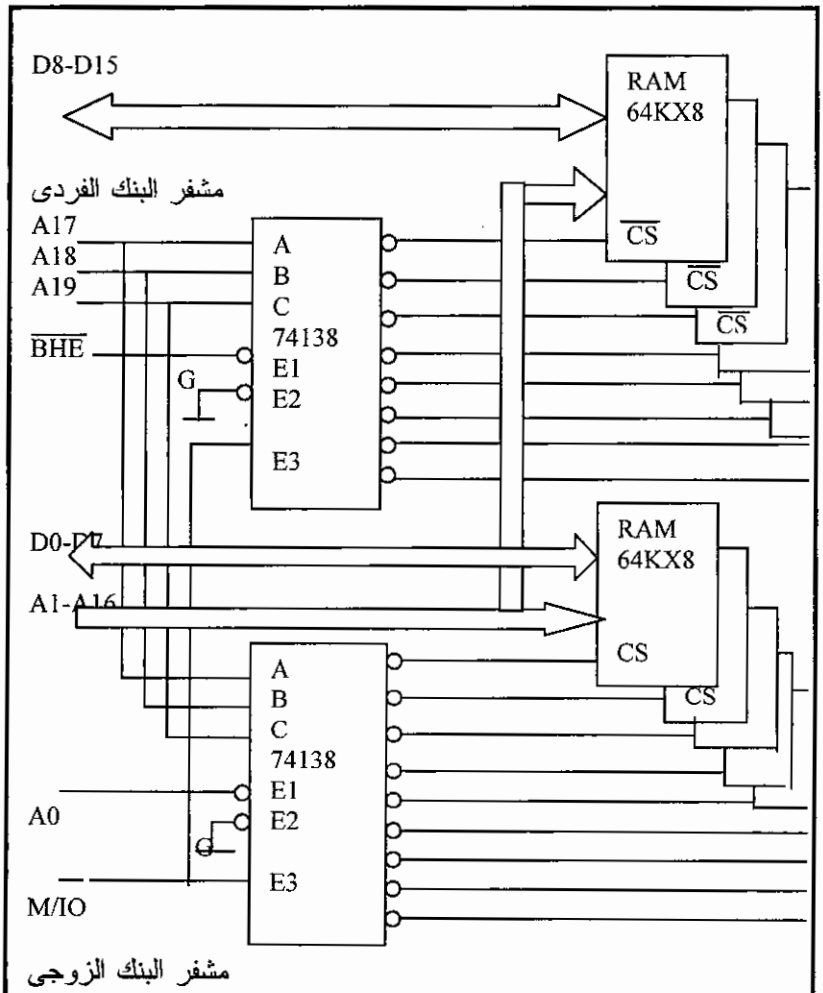


شكل (16-5) الذاكرة مع المعالج 8086

أما عند التعامل مع أحد النصفين الزوجي أو الفردي فإنه إما أن يكون الخط A0 فعالا (0) أو يكون الخط $\overline{BHE}$ فعالا (0) وبذلك نضمن التعامل مع أحد النصفين في حالة التعامل على أساس 8 بت .

في شكل (16-6) نلاحظ أن الخط A0 تم توصيله كخط تنشيط لمشفر النصف الزوجي من الذاكرة ، ثم بعد ذلك تم توصيل الخط A1 من المعالج بالخط A0 في الذاكرة ، والخط A2 من المعالج بالخط A1 في الذاكرة ، و بذلك نضمن التعامل مع كل بايت في الذاكرة في حالة التعامل على أساس 8 بايت ؛ أي سيتم استخدام جميع الواحد ميجابايت من الذاكرة . البعض سيقول لماذا لم تستخدم الخط A0 من المعالج على الخط A0 في الذاكرة وفي نفس الوقت نستخدمه على التوازي لتنشيط المشفر وباقي خطوط العناوين يتم توصيلها كل مع ما يناظره . حاول أن

تتخيل هذا التوصيل وتابع عملية التعامل مع عناوين الذاكرة ابتداء من العنوان 0000 ثم العنوان 0001 ثم العنوان 0002 وهكذا ستجد أن عملية التخزين ستتم في بايت وتترك الأخرى مما يعني أن التعامل سيتم مع نصف كمية الذاكرة فقط ولن يمكن استخدام النصف الآخر منها ، ولذلك يجب تجنب استخدام هذه الطريقة للتوصيل .



شكل (16-6) مواجهة المعالج 8086 مع بنكى ذاكرة

16-5 الإدخال والإخراج من وإلي المعالج 8086/8088

لقد سبق شرح عملية الإدخال و الإخراج من وإلي المعالجات Z80 و 8085 في فصل سابق ورأينا أن هناك طريقتان للإدخال و الإخراج . الطريقة الأولى هي باستخدام الأمرين I N وOUT وسميت هذه الطريقة بطريقة الإدخال والإخراج المباشر ، كما أن هناك طريقة أخرى للإدخال والإخراج وهي استعمال عناوين الذاكرة في ذلك . وهذا ما أسميناه بطريقة خرائط الذاكرة للإدخال والإخراج . كلا الطريقتين سنستخدمهم أيضا مع المعالج 8086 ولذلك ننصح بمراجعة هذا الفصل بالكامل ، لأننا سنبني على ما به من معلومات .

16-5-1 أوامر الادخال والاخراج للمعالج 8086/8088

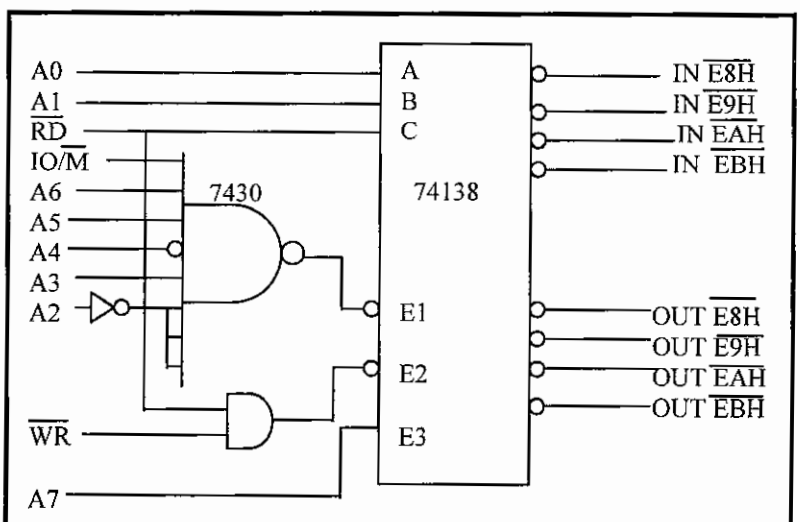
جدول 16-4 يبين جميع الحالات الممكنة لأوامر الإدخال والإخراج للمعالج 8086/8088 نلاحظ من هذا الجدول ما يلي :

- عنوان أي بوابة من الممكن أن يكون **8** بت أو **16** بت بحيث عندما يكون العنوان **16**بت فإنه يوضع في المسجل DX . أما إذا كان العنوان **8** بت فإنه يوضع مباشرة في الأمر ، فمثلا الأمر IN AL,DX سوف يقرأ محتويات البوابة التي عنوانها موجودا في السجل DX (**16**بت) ويضعها في المسجل AL . يمكن أيضا قراءة بوابة مكونة من **16**بت كما في الأمر IN AX,0005 حيث سيقرأ البوابة رقم 0005 المكونة من **16**بت ويضعها في المسجل AX (**16**بت) . بالطبع فإن الأوامر التي تتعامل مع بوابات **16**بت ستكون محققة فقط مع المعالج 8086 حيث أن له مسار بيانات خارجي من **16** بت كما نعلم .
- الأمر IN AX,DX سيقرأ محتويات البوابة المكونة من **16** بت والتي يوجد عنوانها في المسجل DX ويضع هذه المحتويات في المسجل AX . لاحظ أنه طالما أن عنوان البوابة مكون من **16** بت فإن ذلك يعني أنه من الممكن التعامل مع 64ك من بوابات الإدخال والإخراج وهذا كما نرى كم هائل من بوابات الإدخال والإخراج إذا ما قورن بالمعالج 8085 أو المعالج Z80 .
- جميع أساسيات الإدخال والإخراج التي درسناها في الفصول السابقة مطبقة هنا من حيث أنه لابد من عملية تشفير لعنوان البوابة ، كما أن عملية إدخال البيانات لابد وأن تكون من خلال عازل Buffer ثلاثي المنطق مثل الشريحة 74374 . عملية تشفير البوابات لابد أن تأخذ في الحسبان الطرف $M/\overline{IO}$ أو $IO/\overline{M}$ والذي يحدد متى يتعامل المعالج مع بوابات إدخال أو إخراج .

شكل (16-7) يبين مشفر لثمان بوابات ، أربعة منها للإدخال وأربعة للإخراج باستخدام المشفر 74138 . هذا المشفر يستخدم مع المعالج 8088 حيث أنه ثمان بتات فقط ، ونلاحظ أن عملية التشفير هنا هي نفسها عملية التشفير التي كنا نستخدمها مع المعالجات 8085 أو Z80 . لاحظ استخدام خطوط التحكم $IO/\overline{M}$ و $\overline{WR}$ و $\overline{RD}$.

الأمـــــر	عرض البيانات	تعلـــــيق
IN AL,A8	8	قراءة بوابة 8 بت عنوانها 8 بت (A8)
IN AL,DX	8	قراءة بوابة 8بت عنوانها فى (DX)
IN AX,A8	16	قراءة بوابة 16بت عنوانها 8بت (A8)
IN AX,DX	16	قراءة بوابة 16بت عنوانها فى (DX)
OUT A8,AL	8	كتابة فى بوابة 8بت عنوانها 8بت (A8)
OUT DX,AL	8	كتابة فى بوابة 8بت عنوانها فى (DX)
OUT A8,AX	16	كتابة فى بوابة 16بت عنوانها 8بت (A8)
OUT DX,AX	16	كتابة فى بوابة 16بت عنوانها فى (DX)

جدول 16-4



شكل (16-7) تشفير 4 بوابات إدخال و 4 بوابات إخراج من المعالج 8088

بما أن المعالج 8086 يختلف في طريقة تعامله مع الذاكرة عن المعالج 8088 نتيجة الاختلاف في مسار البيانات فإن هذا ينعكس أيضا على طريقة الإدخال والإخراج للبيانات وبالذات في حالة إدخال أو إخراج بيانات من 8 بت ، وستكون المشكلة في هذه الحالة هي هل ستستخدم النصف الأدنى من مسار البيانات أم النصف الأعلى ، أم النصفين معا في حالة إدخال أو إخراج بيانات من 16 بت حيث في هذه الحالة لن تكون هناك أي مشكلة ، المشكلة فقط هي في حالة التعامل مع بيانات وبوابات من 8 بت . إن أسهل الطرق لتجنب هذه المشكلة هي التعامل إما مع النصف الأدنى فقط وفي هذه الحالة نجعل الخط A0 فعالا دائما (0) ؛ أو النصف الأعلى فقط وفي هذه الحالة نجعل الخط $\overline{BHE}$ فعالا (0) . شكل (16-8أ) يبين ذلك حيث تم استخدام مشفرين 74138 أحدهما يشفر لثمان بوابات بأرقام زوجية F0, F2, F4,.... والآخر يشفر لثمان بوابات فردية F1, F3, F5,... . شكل (16-8ب) يبين كيفية توصيل المشفر 74138 لتشفير ثمان بوابات ذات 16 بت عناوينها هي 81-80 و 83-82 و 85-84 ، ... . لاحظ عدم استخدام الخطين A0 و $\overline{BHE}$ في عملية التشفير حيث تم الاستغناء عنهما في هذه الحالة . في هذه الحالة مجرد وضع العنوان 80H مثلا سينشط الخرج الأول من المشفر وبالتالي ينشط نصفى البوابة 16 بت الملحقة بهذا الخط معا وفى نفس الوقت .

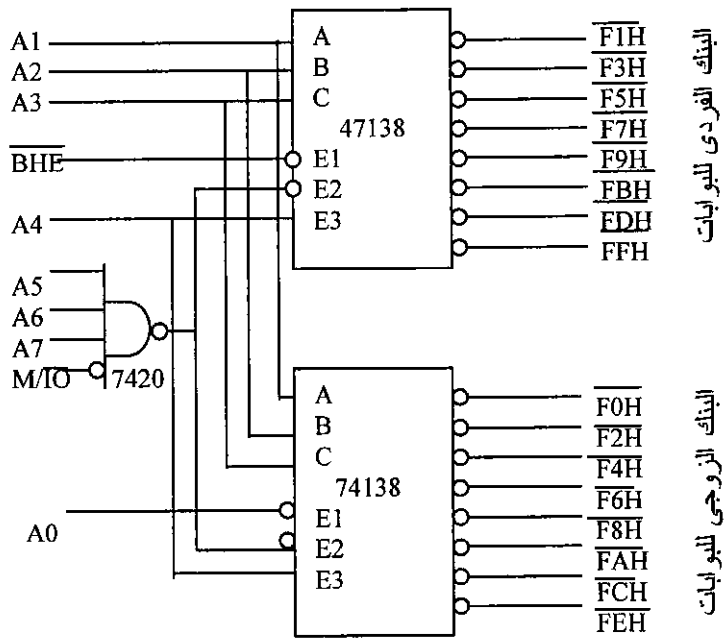
16-5-2 البوابات القابلة للبرمجة PPI

لقد سبق دراسة الشريحة 8255 في فصل سابق و كيفية مواجهتها مع المعالجات ذات 8 بت والأمر لا يختلف كثيرا هنا ؛ لذا نحيل القارئ لمراجعة هذا الفصل . هناك بعض الشرائح الأخرى القابلة للبرمجة والكثيرة الاستخدام بالذات في مجال الحاسبات وسنعطي هنا فكرة سريعة عن بعض هذه الشرائح دون الدخول في تفاصيل مواجهة هذه الشرائح . في حالة احتياج القارئ لتفاصيل أكثر عن هذه الشرائح فإننا نحيله إلي الكتالوجات الخاصة بهذه الشرائح .

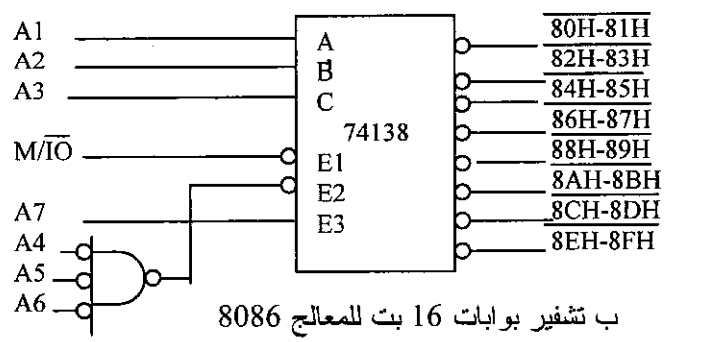
16-6 شريحة مواجهة لوحة المفاتيح القابلة للبرمجة 8279

الشريحة 8279 هي شريحة قابلة للبرمجة يمكن بها مواجهة لوحة المفاتيح وكذلك إظهار البيانات التي يتم إدخالها من هذه اللوحة . يمكن توصيل حتى 64 مفتاح على هذه الشريحة ، وتحتوي الشريحة على عازل buffer يمثل طابورا يسمح بتخزين 8 حروف من لوحة المفاتيح ثم استدعاء هذه الحروف على أساس من

يصل أولا يخرج أولا عن طريق المعالج . جزء الإظهار يقوم بمسح 16 مكان من أماكن الذاكرة التي تحتوي شفرات البيانات الثمانية المطلوب إظهارها .



أ تشفير بوابات 8 بت للمعالج 8086



ب تشفير بوابات 16 بت للمعالج 8086

شكل (16-8) تشفير البوابات 8 بت و 16 بت للمعالج 8086

16-7 المؤقت القابل للبرمجة
Programmable Interval Timer, PIT 8254

تحتوي هذه الشريحة على ثلاث عدادات كل منها 16 بت ، وكل منها قابل للبرمجة . كل واحد من هذه العدادات قادر على العد الثنائي أو العد العشري المكود ثنائيا BCD وبترددات تصل إلي 10 ميجاهيرتز . يمكن استخدام هذه الشريحة في العديد من التطبيقات مثل الساعة الحقيقية Real time clock ، عدادات الأشياء ، التحكم في سرعة موتور واتجاهه مثل موتور الأسطوانة الصلبة أو حتى أي موتور ، والكثير من التطبيقات الأخرى التي يكون الزمن فيها عاملا مهما .

إن الحصول على أزمنة تأخير يمكن أن يتم باستخدام بعض أوامر أي لغة من لغات البرمجة ، فمثلا في لغة الأسمبلي يمكن الحصول على زمن تأخير باستخدام حلقة مغلقة كالتالي :

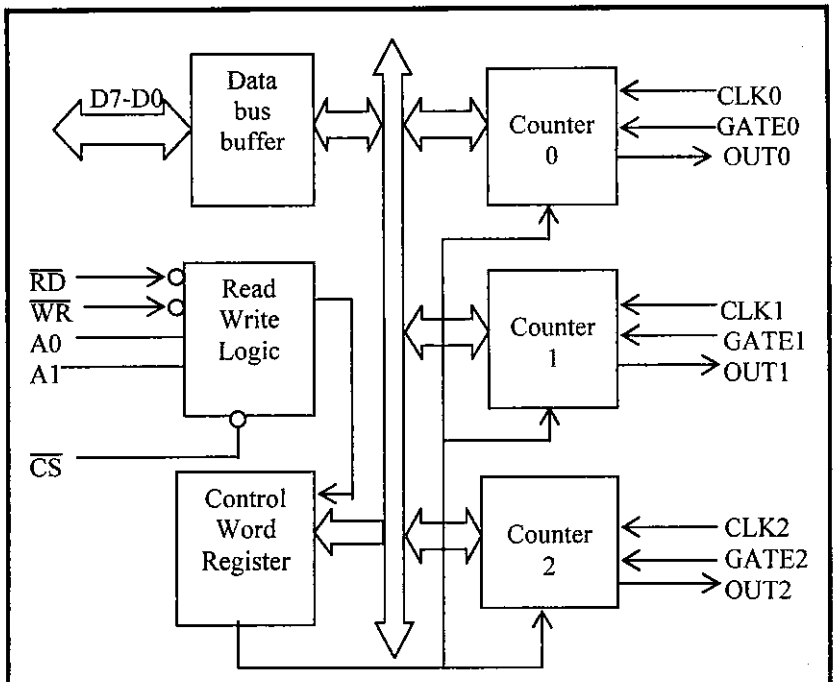
```
MOV CX,0055H
XX : NOP
LOOP XX
```

حيث سيتم تنفيذ هذه الحلقة عدد من المرات مقداره العدد الموجود في المسجل CX . والمعروف أن كل واحد من هذه الأوامر ينفذ في عدد معين من نبضات الساعة الخاصة بالجهاز ، بحيث يمكن معرفة مقدار زمن التأخير بالضبط بمعرفة تردد إشارة نبضات الساعة الخاصة بالجهاز Clock . من المعروف أن نبضات الساعة Clock تختلف من جهاز لآخر ولذلك فإن زمن التأخير الناتج عن الحلقة السابقة لن يكون ثابتا بأي حال باختلاف جهاز الحاسب الذي تنفذ عليه هذه الحلقة . إن استخدام شرائح التوقيت مثل الشريحة 8254 يمكن بها الحصول على أزمنة تأخير ثابتة ولن تتوقف على نوع الجهاز الذي تستخدم معه لأنها تعمل على أساس نبضات ساعة ثابتة يتم توصيلها على هذه الشريحة كما سنرى .

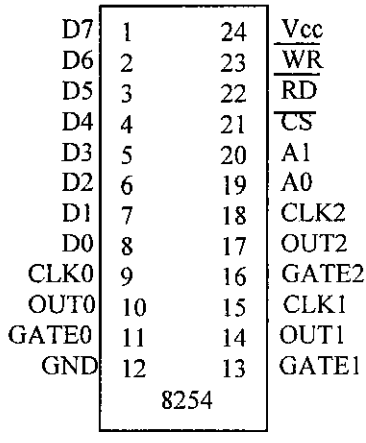
شكل (16-9أ) يبين رسما صندوقيا لمحتويات هذه الشريحة وشكل (16-9ب) يبين رسما طرفيا لها . الرسم الصندوقي يوضح كيف أن هذه الشريحة مقسمة إلي جزأين أساسيين ، جزءا يواجه المعالج ، ويتكون من ثلاث أجزاء :

الأول : وهو عبارة عن عازل لمسارات البيانات D0 – D7 ويخرج منه 8 أطراف توصل على مسار البيانات (8 بت القادم من المعالج) .

الثاني : ويحتوي خطوط التحكم في القراءة والكتابة وهي كالتالي :



أ الرسم الصندوقي



ب الرسم الطرفي

شكل (16-9) الرسم الصندوقي والرسم الطرفي للشريحة 8254

- الطرف $\overline{RD}$ الذي يوصل على خط القراءة القادم من المعالج ، حيث عندما يكون هذا الطرف فعالا (0) فإن المعالج يستطيع القراءة من المسجلات الموجودة داخل المؤقت .

- الطرف $\overline{WR}$ الذي يوصل على خط الكتابة القادم من المعالج ، حيث عندما يكون هذا الخط فعالا (0) فإن المعالج يستطيع كتابة أو إرسال بيانات إلي المسجلات الموجودة داخل المؤقت .
- الطرف $\overline{CS}$ ، لكي يمكن للمعالج أن يتعامل مع الشريحة PIT فإن الطرف $\overline{CS}$ وهو خط اختيار الشريحة *C*hip *S*elect لابد وأن يكون فعالا (0) ، ويكون ذلك بالطبع عن طريق تشفير العنوان الخاص بهذه الشريحة كما رأينا عند التعامل مع الشريحة 8255 .
- الطرفان A0, A1 : هذان الطرفان يوصلان فى العادة على خطى العناوين A0, A1 القادمين من المعالج حيث يتم عن طريق هذين الخطين اختيار أحد عدادات الشريحة أو مسجل التحكم داخل الشريحة تبعا للجدول 16-5 .

الوظيفة	A0	A1
العداد رقم (0)	0	0
العداد رقم (1)	1	0
العداد رقم (2)	0	1
مسجل التحكم	1	1

جدول 16-5

الثالث: هو مسجل التحكم *C*ontrol *R*egister والذى يتم فيه تسجيل كلمة تحكم *C*ontrol *W*ord من 8 بتات تمثل اختيار أحد العدادات الثلاثة ليتم التعامل معه حسب حالة تشغيل معينة من خمس حالات تشغيل سنراها بعد قليل .

الجزء الثانى أو الجانب الآخر من الشريحة PIT كما فى شكل (16-9أ) يمثل الجانب المواجه للمستخدم ، وهو يمثل الثلاث عدادات الموجودة داخل الشريحة ، حيث لكل عداد منها ثلاث إشارات أو ثلاثة أطراف كما يلى :

- الأطراف CLKX حيث X تمثل رقم العداد (0, 1, 2) ويتم إدخال نبضات الساعة *C*lock التى سيقوم العداد بعدها على هذه الأطراف ، ولابد أن يكون تردد هذه النبضات معروفا جيدا ، ويمكن أن يصل هذا التردد حتى 10 ميجاهرتز .
- الأطراف GATEX وكل طرف منها يمثل طرف تنشيط للعداد المراد التعامل معه Gate Enable .

- الأطراف OUTX وتمثل أطراف خرج للعدادات الثلاثة ، ويمكن برمجة هذه العدادات ليكون الخرج واحدا أو صفرا أو نبضات على حسب حالة التشغيل التى يعمل عليها العداد كما سنرى .
- آخر طرفان من أطراف الشريحة هما طرفى القدرة GND, Vcc .

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RW1	RW0	M2	M1	M0	BCD

SC1	SC0	العداد المختار
0	0	عداد رقم 0
0	1	عداد رقم 1
1	0	عداد رقم 2
1	1	قراءة حالة الشريحة

M2	M1	M0	الحالة
0	0	0	الحالة 0
0	0	1	الحالة 1
0	1	0	الحالة 2
0	1	1	الحالة 3
1	0	0	الحالة 4
1	0	1	الحالة 5

RW1	RW0	قراءة/كتابة
0	0	قراءة/كتابة أمر مسك العدادات
0	1	قراءة/كتابة النصف الأدنى فقط
1	0	قراءة/كتابة النصف الأعلى فقط
1	1	قراءة/كتابة النصف الأدنى ثم الأعلى

BCD	طريقة العد
0	عداد ثنائى
1	عداد عشرى مكود ثنائيا BCD

شكل (16-10) كلمة التحكم Control Word للشريحة

16-7-1 برمجة الشريحة 8254

كما رأينا فإن الشريحة 8254 تحتوى ثلاث عدادات كل منها 16 بت ، أى يمكن لكل منها أن يعد من 0 إلى FFFFH فى حالة العد الثنائى ، أو العد من 0 إلى 9999 فى حالة العد العشرى . يمكن اختيار أى واحد من العدادات الثلاثة ، وطريقة التعامل معه ، وكذلك حالة التعامل عن طريق شفرة توضع فى مسجل التحكم . شكل (16-10) يبين مسجل التحكم ودلالة كل بت من بتات هذا المسجل . يحتوى شكل (16-10) أيضا على جداول توضح وظيفة كل مجموعة

من مجموعات البتات فى هذا المسجل كما يلى :

- البتات D6 و D7 تمثل شفرات اختيار أحد العدادات Select Counter bits ليتم التعامل معه ، أو قراءة حالة الشريحة . فإذا كان كل من بت 6 و 7 تساوى صفر فإن المقصود فى هذه الحالة هو التعامل مع العداد رقم صفر ، أما إذا كانت بت 6 تساوى واحد ، وبت 7 تساوى صفر ، فإن التعامل فى هذه الحالة سيكون مع العداد رقم واحد ، وهكذا . أما إذا كان كل من بت 6 و7 تساوى واحد فإنه فى هذه الحالة سيتم قراءة مسجل التحكم .
- البتات D4 و D5 تمثلان كيفية القراءة أو الكتابة من أى واحد من العدادات الذى تم اختياره بالبتات 6 و 7 . كما نعلم فإن كل عداد مكون من 16 بت ، بينما مسار البيانات للشريحة مكون من 8 بت فقط ، لذلك فإنه لابد من تحديد أى بايت (8بت) من ال 16 بت سيتم قراءتها أو الكتابة فيها . فإذا كانت البت 4 تساوى واحد والبت 5 تساوى صفر فإنه فى هذه الحالة سيتم التعامل مع البايت الأولى Lower significant byte ، أما إذا كانت البت 4 تساوى صفر والبت 5 تساوى واحد فإنه سيتم التعامل مع البايت الثانية فى هذه الحالة Higher significant byte ، وأخيرا يمكن قراءة البايت الأولى ثم الثانية مباشرة بوضع كل من البت 4 و 5 تساوى واحد . قبل قراءة أى عداد فى أى لحظة لابد من مسك Latch قيمة العداد عند هذه اللحظة ووضعها فى مسجل القراءة . بذلك نضمن أنه فى أثناء قراءة أى بايت فإن البايت الأخرى لن تتغير فى أثناء القراءة . لذلك فإنه قبل قراءة أى عداد فإنه لابد من مسك محتويات هذا العداد بوضع البتات 4 و 5 كل منها تساوى صفر .
- البتات D1 و D2 و D3 يمكن عن طريقها اختيار الحالة mode التى سيعمل عندها العداد الذى تم اختياره . بهذه الثلاث بتات يمكن اختيار حالة من ست حالات يمكن لأى عداد أن يعمل عندها كما فى شكل (16-11) .
- البت رقم صفر D0 ويتم عن طريقها جعل العداد الذى يتم اختياره يعد عشرى أو ثنائى . فإذا كانت هذه البت تساوى صفرا فإن العداد المختار سيعد عدا ثنائيا من 0 حتى FFFFH ، أما إذا كانت هذه البت واحد فإن العداد سيعد عشريا من صفر حتى 9999 .

16-7-2 حالات تشغيل الشريحة PIT

الحالة 0

شكل (16-11) يبين الست حالات التى يمكن أن يعمل فيها أى عداد من العدادات الثلاثة الموجودة فى الشريحة 8254 . فى الحالة 0 وكما هو مبين فى

شكل (16-11) فإن الخرج OUTX يكون واحد إلى أن يتم تحميل العداد رقم X بالرقم N ويتم تنشيط الخط GATEX حيث عندها ينزل الخرج OUTX إلى الصفر ، ويظل كذلك إلى أن ينتهى العداد X من عد N من نبضات الساعة حيث عند النبضة N+1 سيعود الخرج إلى الواحد مرة ثانية . فى هذه الحالة لابد أن يكون الخط GATEX نشط دائما .

الحالة 1

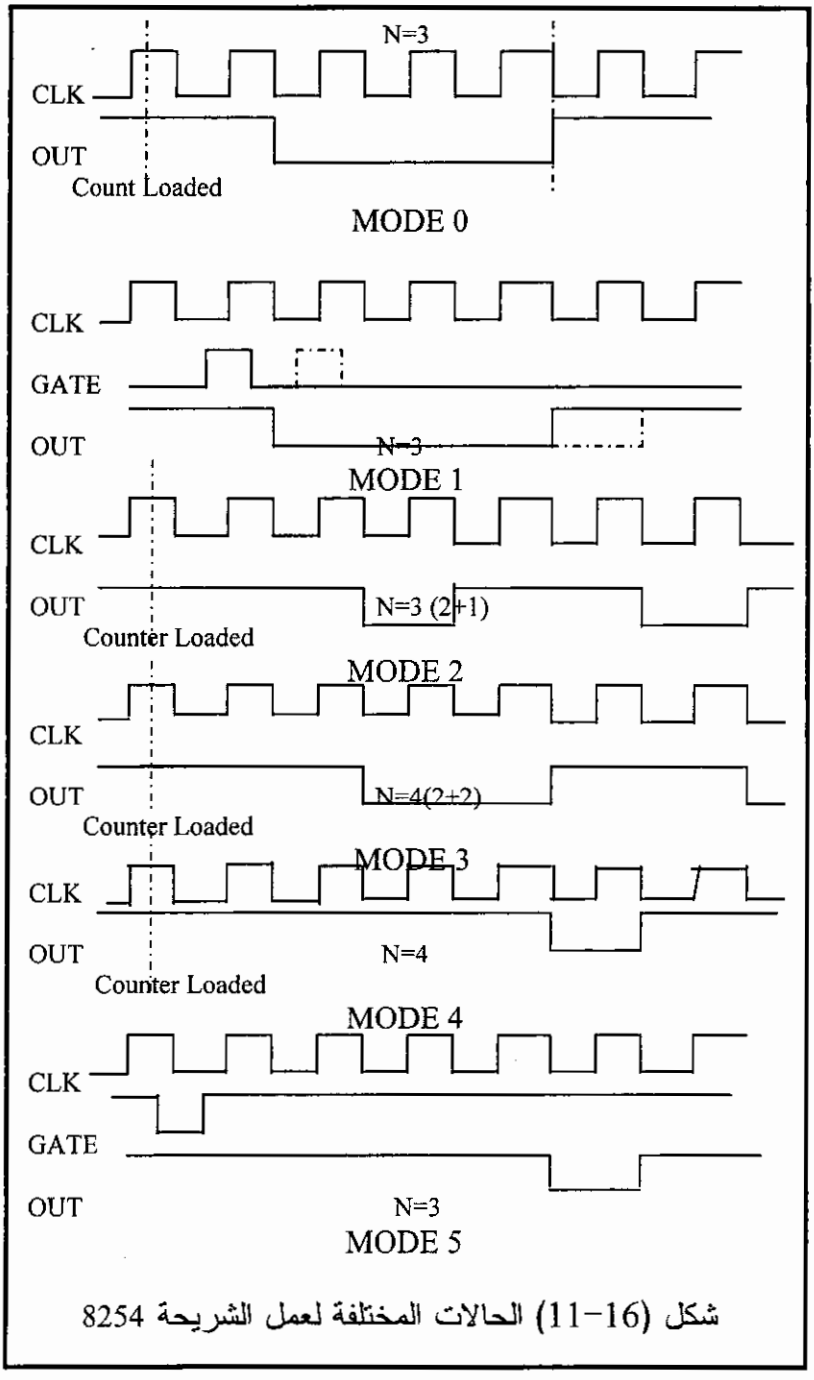
فى هذه الحالة سيعمل العداد كمؤقت أحادى الاستقرار يتم تنشيطه من الطرف GATEX حيث بإعطاء نبضة على هذا الخط فإن الخرج سينزل إلى الصفر ويظل كذلك إلى أن يصل العداد إلى القيمة المبرمجة حيث عندها يصعد الخرج إلى الواحد . لاحظ الفرق بين هذه الحالة والحالة السابقة والذى يقع فقط فى كيفية تنشيط الطرف GATEX . فى هذه الحالة إذا تم إعطاء نبضة تنشيط على الطرف GATEX أثناء نشاط الخرج ، فإن الخرج سيبدأ فترة نشاط جديدة كما فى الخطوط المنقطة فى شكل (16-11) .

الحالة 2

هذه الحالة يوضحها شكل (16-11) حيث يكون الخرج عديم الاستقرار . فى هذه الحالة يكون الخرج واحد طالما أن العداد لم يصل إلى القيمة المبرمج عليها ، وعندما يصل إلى هذه القيمة فإن الخرج ينزل إلى الصفر لمدة زمن نبضة تزامن واحدة ثم يرجع واحد ، وهكذا يتأرجح الخرج بين الواحد والصفر بتردد وأزمنة تأخير يتم التحكم فيها بالقيمة المخزنة فى العداد . لاحظ أن الطرف GATEX فى هذه الحالة لابد أن يكون فعالا .

الحالة 3

هنا يكون الخرج أيضا عديم الاستقرار حيث يكون عبارة عن موجة مربعة يتساوى فيها زمن الواحد وزمن الصفر وكل منهما له زمن يساوى نصف الزمن الناتج عن القيمة المبرمجة فى العداد إذا كانت هذه القيمة زوجية ، أما إذا كان العداد محمل بقيمة فردية فإن زمن الصفر يكون أقل بمقدار زمن نبضة تزامن واحدة عن زمن الواحد .



شكل (11-16) الحالات المختلفة لعمل الشريحة 8254

الحالة 5

هذه الحالة تشبه تماما الحالة 4 سوى أن زمن التأخير يبدأ عند إعطاء نبضة على الخط GATEX حيث بعد هذه النبضة بزمن يتحدد بالقيمة المبرمجة فى العداد ينزل الخرج للصفر لمدة زمن نبضة تزامن واحدة بعدها يرجع الخرج واحد مرة ثانية فى انتظار إعطاء نبضة أخرى على الطرف GATEX . لاحظ أن تنشيط زمن التأخير فى الحالة 4 يتم برمجيا (فقط يكون الطرف GATEX نشط) بينما فى الحالة 5 فإن زمن التأخير يتم تنشيطه بالطرف GATEX أى Hardware .

16-8 الاتصالات القابلة للبرمجة

Programmable Communication Interface, PCI 8251

الشريحة 8251 مصممة لتقوم بمواجهة نظم الاتصالات التتابعية مع المعالج . كما نعلم فإن عملية نقل البيانات إما أن تكون على التوازى ، أى أن المعلومة ترسل فى صورة بايت (8بت) كاملة على 8 خطوط إلى الهدف ، أو ترسل تتابعيا أى بت بعد بت على خط واحد مثل خط التليفون . فى العادة تستخدم الطريقة التتابعية عندما تكون المسافة بين المرسل والمستقبل كبيرة .

الشريحة 8251 عبارة عن مرسل Transmitter و مستقبل Receiver للبيانات الغير متزامنة Asynchronous أو البيانات المتزامنة Synchronous ، ولذلك يرمز لها بالاختصار USART والذى يعنى ما يلى :

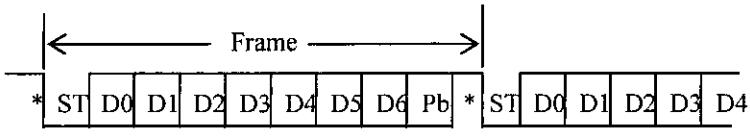
Universal Synchronous Asynchronous Receiver Transmitter

وتتميز الشريحة بمعدلات إرسال baud rate عالية والتى تتمثل فى عدد البتات التى يمكن إرسالها فى الثانية الواحد .

البيانات الغير متزامنة هى البيانات التى يتم إرسالها واستقبالها دون الحاجة إلى نبضات تزامن Clock . شكل (16-12أ) يبين إطارين من البيانات كل منهما 10 بت ، وكل منهما يحتوى على بت البداية Start bit ، وسبع بتات تمثل البيانات المرسلة Data bits ، وبت للباريتى Parity bit وأخيرا بت للنهاية Stop bit ، ونلاحظ هنا عدم وجود نبضات تزامن مع هذه البيانات .

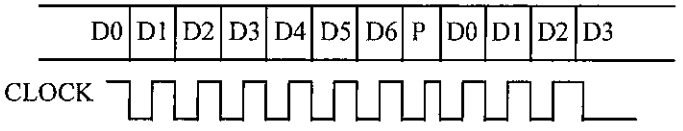
إن مهمة الشريحة 8251 هى إضافة بتات البداية والنهاية والباريتى للبيانات المطلوب إرسالها ، ثم بعد ذلك تقوم بنقل هذه البتات مع البيانات المطلوب إرسالها على التتابع على خط الإرسال أو قناة الإرسال . عند المستقبل توجد شريحة أخرى من نفس النوع تقوم بالمهمة العكسية حيث تفصل البتات الإضافية عن البيانات الأساسية وتحسب الباريتى هل هى سليمة أم لا .

أما البيانات المتزامنة فلا تحتوى بتات إضافية بجانب بتات البيانات مثل بتات البداية والنهاية ولكن جميع البتات تمثل بيانات . كل بت من بتات البيانات لابد أن تكوم متزامنة مع نبضة من نبضات التزامن كما فى شكل (16-12ب) ، أما بداية إطار البيانات فتحدد بحرف تزامن . لن نخوض فى تفاصيل هذه الشريحة وطريقة برمجتها لقلة المتعاملين معها كشريحة منفصلة ولكن فى العادة يتم التعامل معها كأحد مكونات نظام اتصالات متكامل .



* Stop bit
ST Start bit
Pb Parity bit

أ النقل التتابعى للبيانات الغير متزامنة Asynchronous



ب النقل التتابعى للبيانات المتزامنة Synchronous

شكل (16-12) النقل التتابعى للبيانات المتزامنة والغير

16-9 الاتصال المباشر مع الذاكرة
Direct Memory Access, DMA 8237A

لقد رأينا فى طرق التعامل مع الأجهزة الخارجية كيف أنه لكى نخزن معلومة معينة من جهاز خارجى فى الذاكرة ، فإننا لابد أن نقرأ المعلومة أولا عن طريق المعالج ثم ننقلها بعد ذلك من المعالج إلى الذاكرة فى العنوان المحدد . أى أن المعالج لابد وأن يكون وسيط فى عملية نقل المعلومات من وإلى الذاكرة. مع تقدم الحاسبات وزيادة كمية البيانات التى يتم تداولها بين الأجهزة الخارجية والذاكرة الفعالة أو الأساسية ظهرت هناك فكرة تحرير المعالج من عملية الوساطة هذه بحيث تكون عملية نقل البيانات من الأجهزة المحيطة للذاكرة مباشرة ودون دخول المعالج كوسيط مما سيسرع من عملية نقل

البيانات بدرجة كبيرة ، وهذا ما يطلق عليه الاتصال المباشر بالذاكرة . شكل (16-13) يبين رسما توضيحيا لهذه العملية . نلاحظ فى هذا الشكل وجود جهاز خارجى يتحكم فى هذه العملية وهو عبارة عن الشريحة 8237A والتى تمر من خلالها البيانات من وإلى المعالج دون أن تستقر فيها وإلا فقدنا ميزة السرعة . هذه الشريحة يتحدد دورها فى تحديد العناوين والغرض من التعامل مع الذاكرة هل هو القراءة أم الكتابة . عندما يريد أى واحد من الأجهزة الخارجية مثل الاسطوانة الصلبة أن يتصل مباشرة بالذاكرة ، فإنه يطلب ذلك من المعالج عن طريق تنشيط الخط HOLD الداخل للمعالج بجعله يساوى واحد. عند ذلك وبعد الانتهاء من تنفيذ الأمر الحالى الذى ينفذه المعالج ، يقوم المعالج بالانفصال عن المسارات الثلاثة (البيانات والعناوين والتحكم) بجعلها جميعا فى حالة المقاومة العالية أو الحالة المنطقية الثالثة . بعد ذلك يخبر المعالج الجهاز الخارجى بأنه قد انفصل عن المسارات عن طريق تنشيط الخط HLDA بجعله يساوى واحد . عندما يشعر الجهاز الخارجى بذلك يفهم أن جميع المسارات أصبحت تحت سيطرته فيبدأ فى إرسال أو استقبال البيانات بمساعدة الشريحة 8237A . يظل المعالج منفصلا عن المسارات إلى أن يقوم الجهاز الخارجى بإخماد الخط HOLD إلى الصفر مرة أخرى حيث عندها يعود المعالج إلى السيطرة على المسارات مرة أخرى .

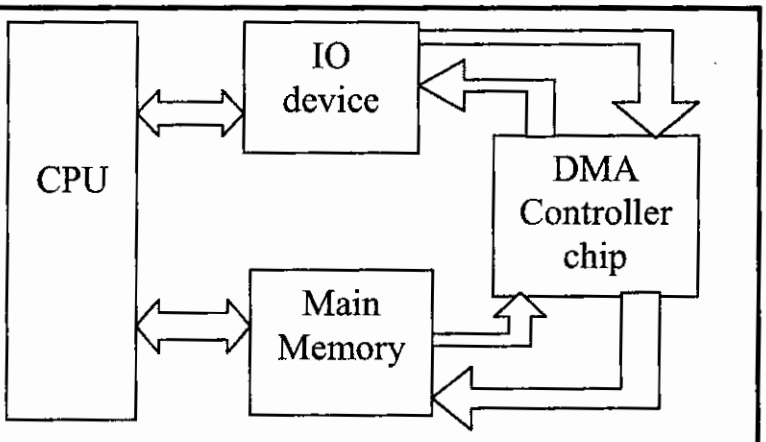
باستخدام الشريحة 8237A يمكن الاتصال المباشر بالذاكرة من خلال 4 قنوات اتصال . سنكتفى بهذا القدر من المعلومات عن هذه الشريحة لندرة استخدامها أيضا على المستوى الشخصى واستخدامها عادة فى الأنظمة المتكاملة مثل أنظمة الحاسب .

16-10 المواجهة مع المعالجات الحسابية المساعدة Arithmetic Coprocessor 80X87

عائلة المعالجات الحسابية المساعدة Arithmetic coprocessors هى عبارة عن معالجات تقوم بتنفيذ العمليات الحسابية والمقارنات بسرعة تفوق سرعة المعالج العادى حوالى 100 مرة وبالذات الدوال الحسابية مثل دوال حساب المثلثات ودوال الأسس وغيرها . بالإضافة إلى ذلك فإن هذه المعالجات تسهل بدرجة كبيرة التعامل مع البيانات المختلفة مثل الأرقام الصحيحة والحقيقية ذات الدقة المختلفة .

ابتداء من المعالج 8086 حتى المعالج 80386 سنجد أن كل منها له المساعد الحسابى الخاص به والذى يعمل معه ، فمثلا المعالج 8086 مساعده الحسابى

هو الشريحة 8087 ، والمعالج 80186 مساعده الحسابى هى المعالج 80187 وهكذا . ابتداء من المعالج 80486 بدأت شركة intell تضع كل معالج ومساعده الحسابى فى نفس الشريحة التكاملية بحيث أصبحت الأنظمة الحسابية لا تحتاج إلى المواجهة الخارجية مع المساعد الحسابى .
إننا لن نخوض أيضا فى تفاصيل مواجهة المعالجات المساعدة مع المعالج الأساسى لعدة أسباب منها ندرة استخدامها على المستوى الفردى ، وثانيا أن هذه المعالجات دخلت الآن ضمن مكونات المعالج العادى على نفس الشريحة بحيث أصبحت لا تنتج بصورة منفصلة .



شكل (16-13) رسم صندوقى يوضح عملية الاتصال المباشر مع الذاكرة

16-11 تمارين

1. ما هو نوع الإشارة الموجودة على مسارى البيانات/العناوين حينما يكون الخط ALE فعالا ؟
2. ما هو الغرض من خطوط الحالة S3 و S4 ؟
3. ما هى الحالة التى يكون فيها المعالج 8086/8088 حينما يكون الطرف $\overline{RD}$ يساوى صفرا ؟
4. اشرح الأطراف التالية للمعالج 8086/8088 :

- HOLD
- HLDA

- $DT/\overline{R}$
- $\overline{LOCK}$
- $\overline{TEST}$
- READY

5. ما هو الغرض من الطرف $\overline{BHE}$ ؟
6. لماذا نحتاج فى العادة لعملية فصل لمسارات أى معالج ؟
7. كيف نحدد اتجاه الإشارة على مسار البيانات عند استخدام الشريحة 74245 فى عملية عزل المسارات ؟
8. ما هو زمن الاتصال بالذاكرة ؟
9. ما هو الغرض من الطرف $\overline{DEN}$ ؟
10. ما هو الغرض من الطرف $\overline{CS}$ والطرف $\overline{OE}$ فى أى شريحة ذاكرة ؟
11. ارسم المشفر اللازم لعنونة المدى العنوانى DF800H-DFFFFH ؟
12. ارسم المشفر اللازم لعنونة المدى العنوانى 10000H-1FFFFH باستخدام 8 شرائح EPROM سعة كل منه 8 كيلوبايت .
13. أضف 8 شرائح RAM أخرى لنظام الذاكرة الموجود فى المسألة السابقة ، الشرائح سعة كل منها 2 كيلوبايت . ابدأ المدى العنوانى لهذه الشرائح عند العنوان 20000H .
14. ما هو الغرض من الطرف A0 غير كونه خط عنونة ؟
15. اشرح كيف نحصل على الخطوط $\overline{MEMR}$ و $\overline{MEMW}$ فى المعالج 8086/8088 .