الفصل السابع ٧

المتحكم أتمل AT90S8515

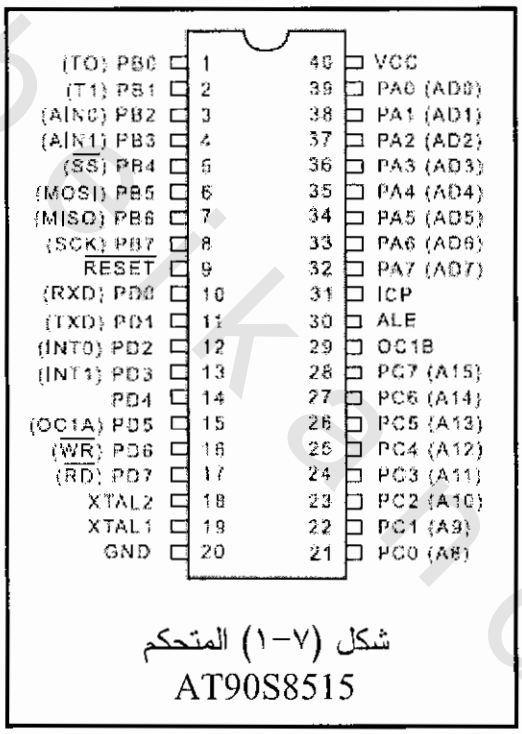
The ATMEL AT90S8515 Microcontroller

obeikandl.com

١-٧ مقدمة

المتحكم AT90S8515 كما هو موضح فى شكل (٧-١) هو أحد أول منتجات شركة أتمل الشائعة الاستخدام والذى يتميز بمواصفات أعلى من سابقه AT90S1200 كما سنرى وسنحاول فى هذا الفصل تقديم الجديد فقط هذا المتحكم . من الخواص العامة لهذا المتحكم ما يلى :

- هذه الشريحة لها ٤٠ طرفا فقط .
- هذا المتحكم له ١١٨ أمرا معظمها يتم تنفيذه فى نبضة تزامن clock واحدة .
- له ٣٢×٨ مسجلا عاما General purpose register
- نبضات تزامن إما ٤ أو ٨ ميجاهرتز .
- ١٦×٤ كيلوبايت ذاكرة برمجة فلاش Flash memory تكتب وتمسح فيها ١٠٠٠ مرة .
- ٥١٢ بايت EEPROM تكتب وتمسح ١٠٠ ألف مرة .
- ٥١٢ بايت ذاكرة SRAM .
- مؤقت/عداد ٨ بت .
- مؤقت/عداد ١٦ بت بإمكانيات مختلفة سيتم شرحها .
- مؤقت حراسة Watch dog timer له مذبذبه الخاص .
- مقارن انسيابى .
- إمكانية إدخال وإخراج البيانات المتوالية من خلال موائم الاتصالات المتوالية UART .
- إمكانية المقاطعة الخارجية والداخلية .
- طريقة لتخفيض القدرة Power down and idle .
- ٣٢ طرف إدخال/إخراج .
- جهد قدرة من ٢،٧ حتى ٦ فولت .



شكل (٧-١) المتحكم AT90S8515

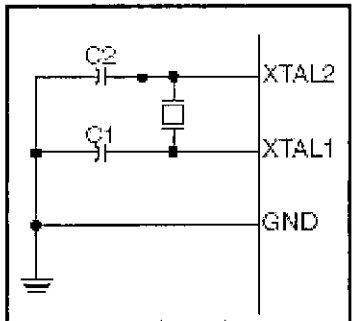
الشريحة لها ٢٠ طرفا كما ذكرنا وكما هو موضح فى شكل (٧-١) ، معظم هذه الأطراف لها أكثر من وظيفة مثل الكثير من المتحكمات وسنعرف هذه الوظائف المختلفة بعد قليل . ميزة تنفيذ الأوامر فى نبضة تزامن واحدة تجعل سرعة هذه المتحكمات فى تنفيذ الأوامر أسرع بكثير من مثيلتها التى تعمل عند نفس نبضات

التزامن . جميع المسجلات العامة فى هذا المتحكم متصلة اتصالا مباشرا بوحدة الحساب والمنطق ALU مما يسهل التعامل مع مسجلين فى نفس الوقت وتنفيذ الأمر فى نفس النبضة .

٧-٢ توصيف لأطراف الشريحة

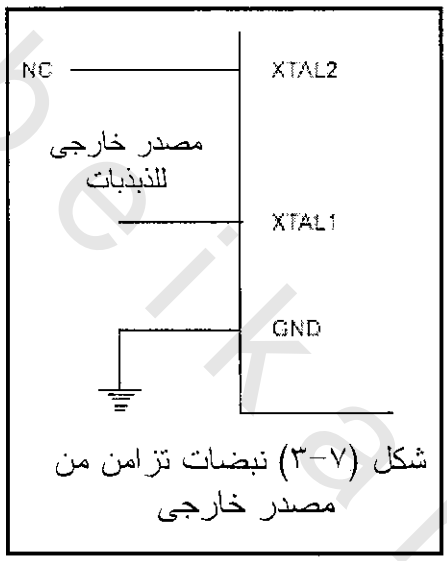
كما رأينا فى شكل (٧-١) فإن هذا المتحكم له ٤٠ طرفا يمكن تقسيمها من حيث الوظيفة كما يلى :

- الطرف ٤٠ يمثل طرف القدرة Vcc ، والطرف ٢٠ يمثل الأرضى .
- الأطراف PA0 حتى PA7 تمثل بوابة الإدخال/الإخراج PA . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . هذه البوابة يمكنها أن تعطى وتبتلع تيارا مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . خطوط هذه البوابة تستخدم كخطوط عناوين/بيانات فى حالة التعامل مع ذاكرة خارجية .
- الأطراف PB0 حتى PB7 تمثل بوابة الإدخال/الإخراج PB . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . هذه البوابة يمكنها أن تعطى وتبتلع تيارا مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . خطوط هذه البوابة تستخدم لأداء الكثير من الوظائف الأخرى التى سيأتى شرحها فى حينه .
- الأطراف PC0 حتى PC7 تمثل بوابة الإدخال/الإخراج PC . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . هذه البوابة يمكنها أن تعطى وتبتلع تيار مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . خطوط هذه البوابة تستخدم كخطوط عناوين فى حالة التعامل مع ذاكرة خارجية .
- الأطراف PD0 حتى PD7 تمثل بوابة الإدخال/الإخراج PD . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . هذه البوابة يمكنها أن تعطى وتبتلع تيار مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . خطوط هذه البوابة تستخدم لأداء الكثير من الوظائف الأخرى التى سيأتى شرحها فى حينه .
- $\overline{RESET}$ طرف تصفير للمتحكم ، أو إعادة وضع ، وهو نشط عندما يكون صفر بحيث عند تنشيطه يذهب المتحكم لأول عنوان فى ذاكرة البرمجة ويبدأ التنفيذ من هناك .



شكل (٧-٢) نبضات تزامن باستخدام بللورة crystal

- الطرف ICP يستخدم مع المؤقت TIMER1 لتنفيذ دالة المسك Input capture function .
- الطرف OC1B طرف خرج المقارن TIMER1 عند استخدام دالة المقارنة Output Compare B .
- الطرف ALE ، عند التعامل مع ذاكرة خارجية فإن إشارة العناوين والبيانات تخرج على نفس مجموعة خطوط البوابة A كما ذكرنا . عندما تكون الإشارة على هذه الخطوط تمثل عناوين فإن الطرف ALE يكون واحد ، وعندما تتغير الإشارة إلى بيانات فى دورة الأمر الثانية فإن هذا الخط يكون صفر . لذلك فإنه يتم استخدام هذا الطرف لمسك إشارة العناوين عندما يكون واحد .



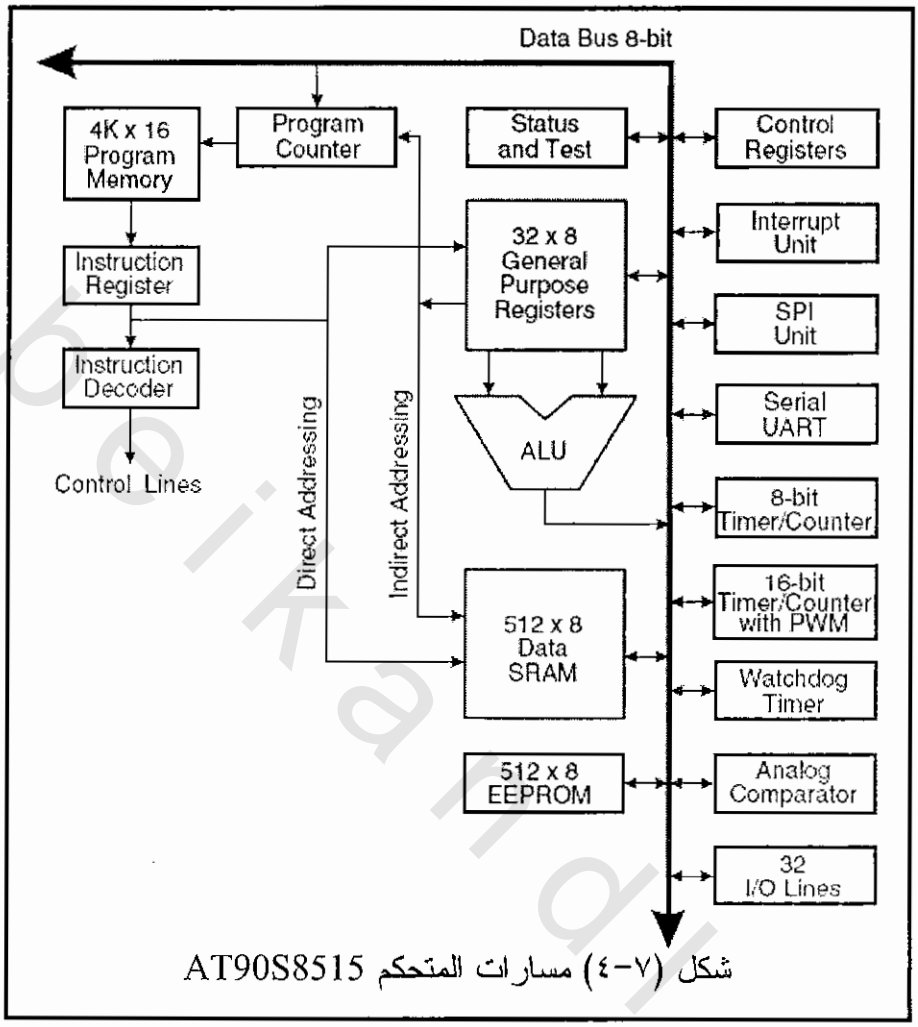
شكل (٧-٣) نبضات تزامن من مصدر خارجى

- الطرفان XTAL1 و XTAL2 طرفى نبضات التزامن clock يمكن من خلالهما توصيل بللورة crystal كما فى شكل (٧-٢) لتشغيل الشريحة . يمكن أيضا توصيل مصدر نبضات خارجى على الطرف XTAL1 كما فى شكل (٧-٣) وفى هذه الحالة يترك الطرف XTAL2 مفتوح . يمكن أيضا استخدام المذبذب الداخلى فى الشريحة عن طريق تنشيط علم خاص بذلك .

٧-٣ نظرة على مسارات المتحكم

التركيب الداخلى لهذا المتحكم يتبع نظام هارفارد للمسارات ، حيث يوجد مسار خاص لنقل شفرات الأوامر الموجودة فى ذاكرة خاصة بذلك (ذاكرة البرمجة) . هذه الذاكرة مكونة من 4096x16 كلمة ، أى أنها تتكون من 4 كيلو كلمة كل منها ١٦ بت ، ولذلك فإن شفرة كل أمر تتكون من ١٦ بت . هذه الأوامر يتم تنفيذ معظمها فى نبضة تزامن واحدة من خلال انسيابية الأوامر instruction pipelining التى تنفذ الأوامر فى مرحلتين ، الأولى هى مرحلة إحضار الأمر فى نبضة تزامن معينة والثانية هى مرحلة التنفيذ فى النبضة التالية . شكل (٧-٤) يبين شكل توضيحى لمكونات المتحكم AT90S8515 . عداد البرنامج PC يتكون من ١٢ بت بحيث يمكنه التعامل مع ٤ كيلو بايت ذاكرة برمجة . هناك شرح أكثر تفصيلا لانسيابية الأوامر فى فصل ٣ (الجزء ٣-٤) يمكن الرجوع إليه .

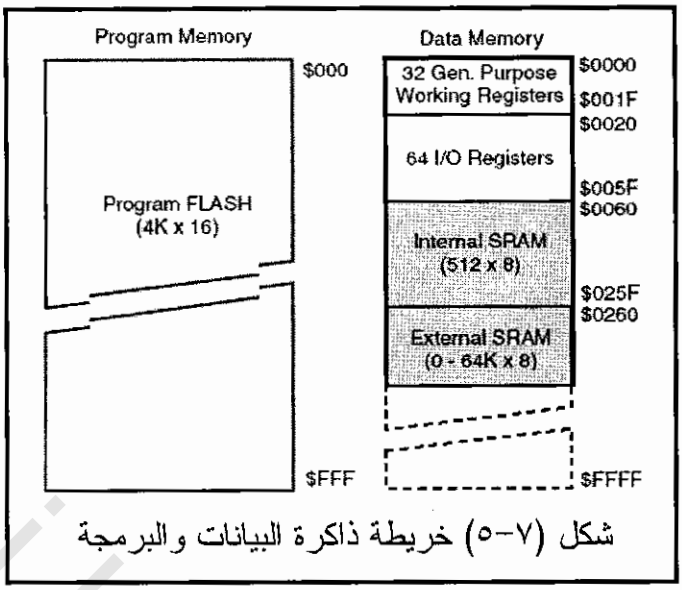
obeikandl.com



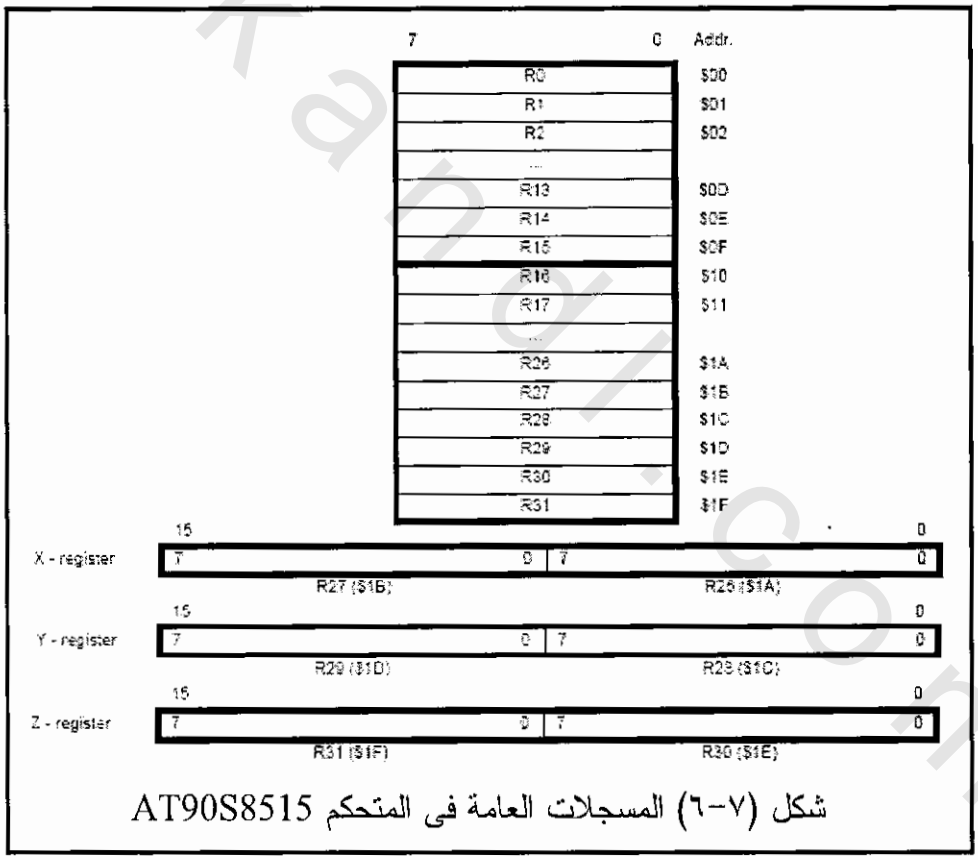
شكل (٧-٤) مسارات المتحكم AT90S8515

٧-٤ المسجلات العامة

شكل (٧-٥) يبين خريطة الذاكرة لكل من ذاكرة البيانات والبرمجة . حيث نلاحظ أن أول ٣٢ عنوان منها مشغولة بالمسجلات العامة General purpose registers, GPR . كل هذه المسجلات تعتبر مسجلات تشغيل متصلة بوحدة الحساب والمنطق كما فى شكل (٧-٤) . شكل (٧-٦) يبين أن هذه المسجلات تشغل العناوين من $00 حتى $1F . آخر ٦ مسجلات من هذه المجموعة تستخدم كأزواج بحيث يكون كل زوج عبارة عن مسجل ١٦ بت يستخدم كمؤشر للعنونة الغير مباشرة فى الذاكرة ، هذه المسجلات تسمى المسجلات X و Y و Z.

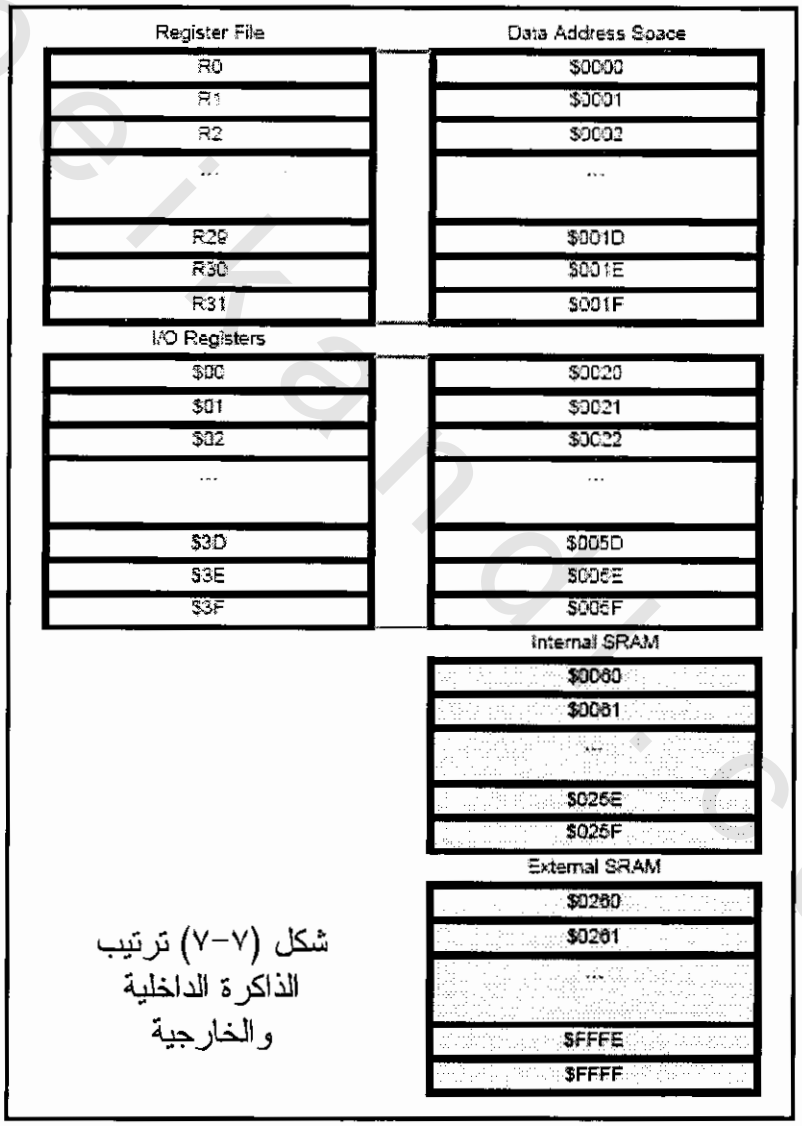


شكل (٧-٥) خريطة ذاكرة البيانات والبرمجة



شكل (٧-٦) المسجلات العامة فى المتحكم AT90S8515

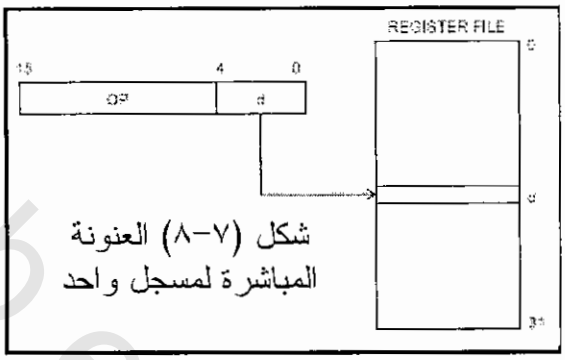
شكل (٧-٧) يبين أن المسجلات العامة يمكن التعامل معها أيضا كعناوين من خريطة الذاكرة يتم التعامل معها بكل أشكال العنونة . المسجلات R0 حتى R31 تشغل العناوين $0000 حتى $001F بينما مسجلات الإدخال والإخراج فتشغل العناوين $0020 حتى $005F فى حالة التعامل معها كعناوين فى الذاكرة ، أو $00 حتى $3F فى حالة التعامل معها كمسجلات منفصلة وفى هذه الحالة لن تسرى عليها طرق العنونة الغير مباشرة مع الذاكرة . عند التعامل مع أى عنوان فى خريطة الذاكرة يتم تنشيط الخطين $\overline{RD}$ و $\overline{WR}$ ولا ينشطان فى غير ذلك .



شكل (٧-٧) ترتيب الذاكرة الداخلية والخارجية

٧-٥ الطرق المختلفة للعنونة Addressing modes

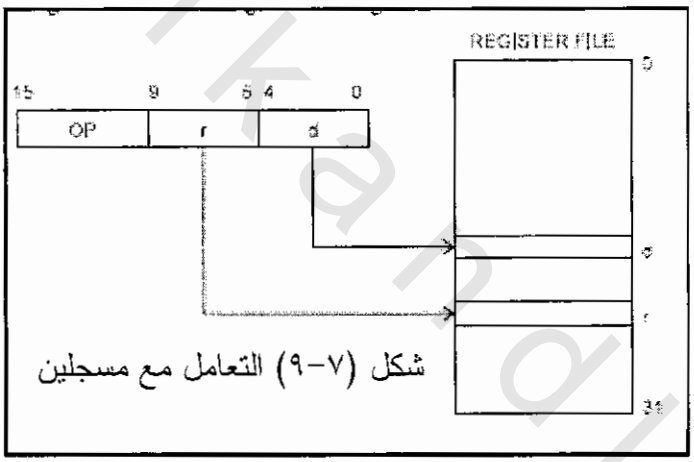
٧-٥-١ عنونة مباشرة لمسجل واحد



شكل (٧-٨) العنونة المباشرة لمسجل واحد

كما نعلم فإن شفرة الأمر تتكون من ١٦ بت الخمسة الأولى منها تمثل عنوان المسجل الذى سيتم التعامل معه . باقى بتات الأمر تمثل شفرة الأمر op code كما فى شكل (٧-٨) . لاحظ أن معاملات operands الأمر هنا هى مسجل واحد فقط Rd كما فى الشكل .

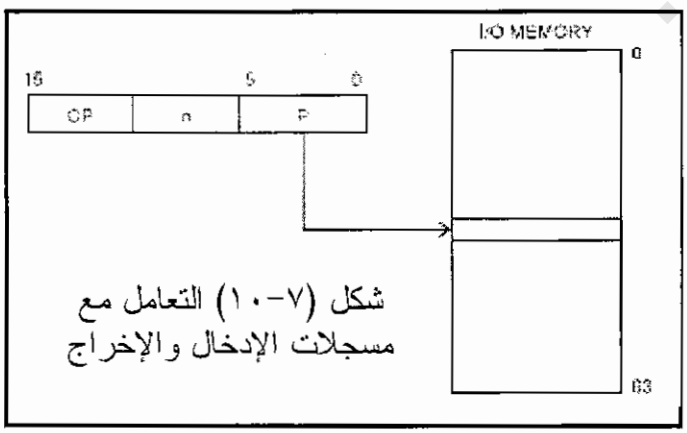
٧-٥-٢ التعامل المباشر مع مسجلين



شكل (٧-٩) التعامل مع مسجلين

أوامر هذا النوع تتعامل مع مسجلين Rr و Rd. شكل (٧-٩) يبين هذا النوع من العنونة حيث نلاحظ أن عنوان كل مسجل يشغل ٥ بت من شفرة الأمر حيث يتبقى ٦ بت فقط كشفرة للأمر. فى هذه الأوامر ترجع النتيجة إلى المسجل Rd .

٧-٥-٣ التعامل مع مسجلات الإدخال/الإخراج

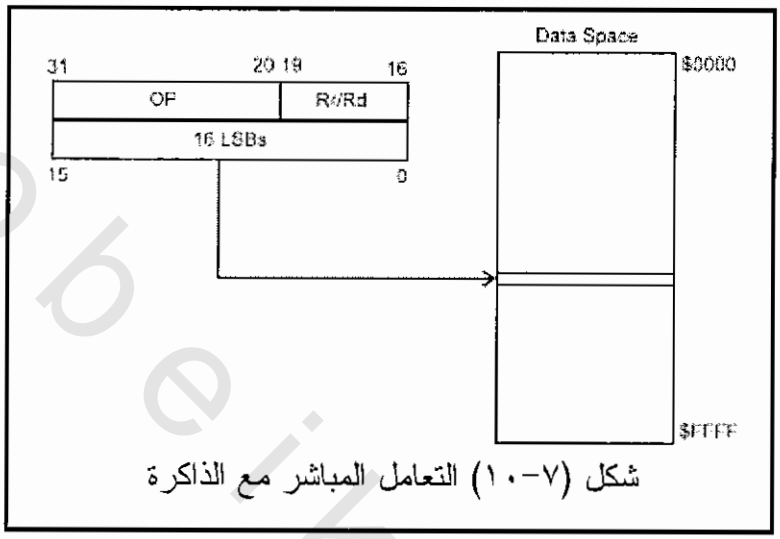


شكل (٧-١٠) التعامل مع مسجلات الإدخال والإخراج

يحتوى هذا المتحكم على ٦٤ مسجلا تستخدم كمسجلات عامة للتحكم فى عمليات الإدخال أو الإخراج . أوامر التعامل مع هذه المسجلات تستخدم ٦ بتات لعنونة المسجل المطلوب كما فى شكل (٧-١٠) .

obeikandi.com

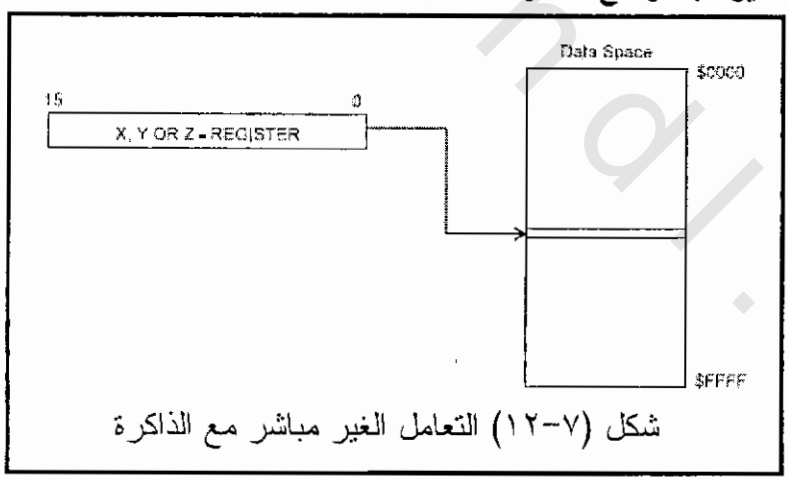
٧-٥-٤ التعامل المباشر مع الذاكرة



شكل (٧-١٠) التعامل المباشر مع الذاكرة

فى هذه الطريقة يتم التعامل مباشرة مع أى بايت فى الذاكرة (٦٤ كيلوبايت) عن طريق تحديد هذا العنوان مباشرة فى البايت الأولى من الأمر كما فى شكل (٧-١١) . البايت الثانية من الأمر تحتوى شفرة الأمر ومسجل المصدر/الهدف للمعلومة Rr/Rd .

٧-٥-٥ التعامل الغير مباشر مع الذاكرة



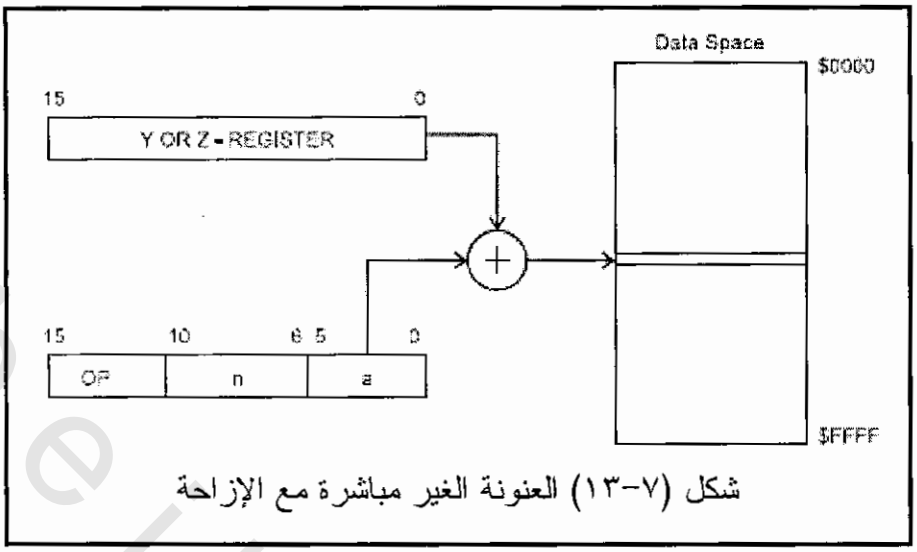
شكل (٧-١٢) التعامل الغير مباشر مع الذاكرة

فى هذه الطريقة يكون العنوان المراد التعامل معه موجود فى المسجلات X أو Y أو Z كما فى شكل (٧-١٢) .

٧-٥-٦ التعامل الغير مباشر مع الإزاحة مع الذاكرة

فى هذه الطريقة يتم تكوين العنوان المراد التعامل معه من جمع محتويات المسجل Y أو Z مع إزاحة مكونة من ٦ بت موجودة فى الأمر نفسه كما فى شكل (٧-١٣) .

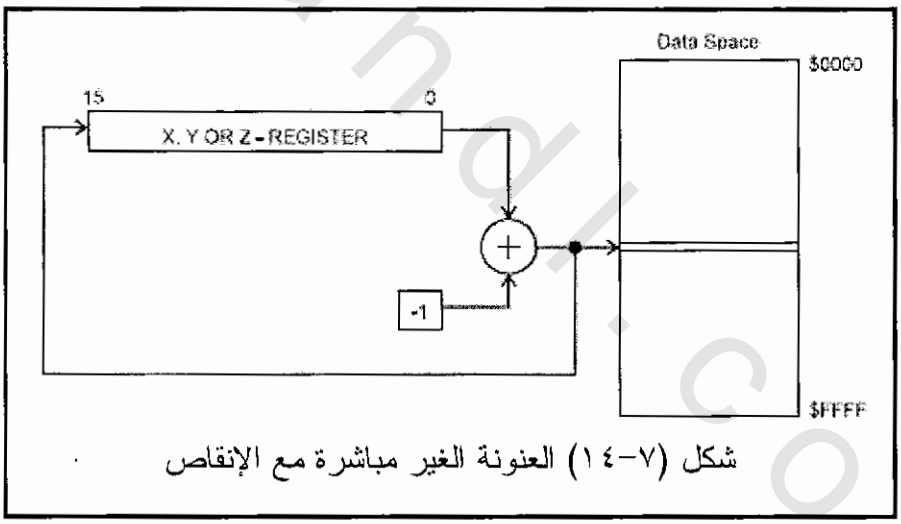
obeikandl.com



شكل (٧-١٣) العنونة الغير مباشرة مع الإزاحة

٧-٥-٧ التعامل الغير مباشر مع الذاكرة بعد الإنقاص (Pre-decrement)

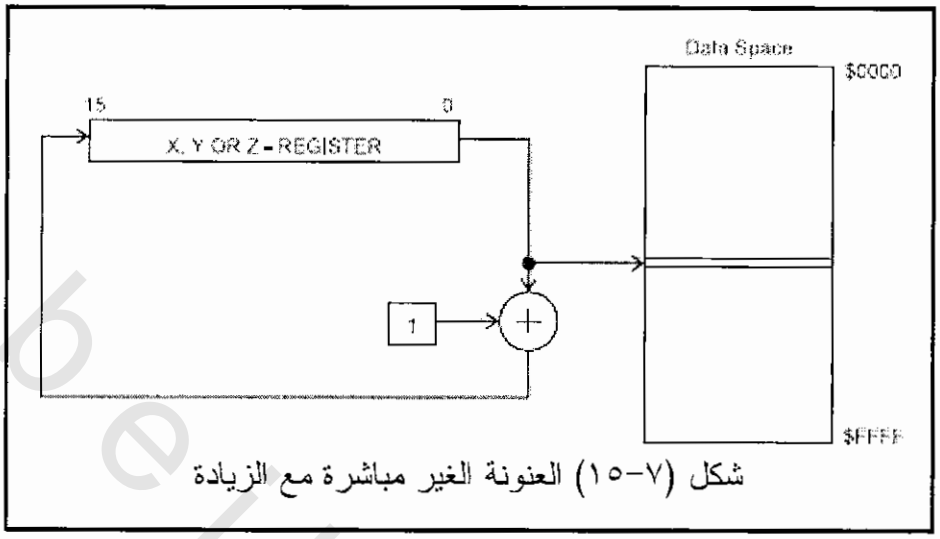
العنوان الذى سيتم التعامل معه هنا هو محتويات أحد المسجلات X أو Y أو Z مطروحا منه واحد كما فى شكل (٧-١٤) .



شكل (٧-١٤) العنونة الغير مباشرة مع الإنقاص

٧-٥-٨ التعامل الغير مباشر مع الذاكرة بعد الزيادة (Post-increment)

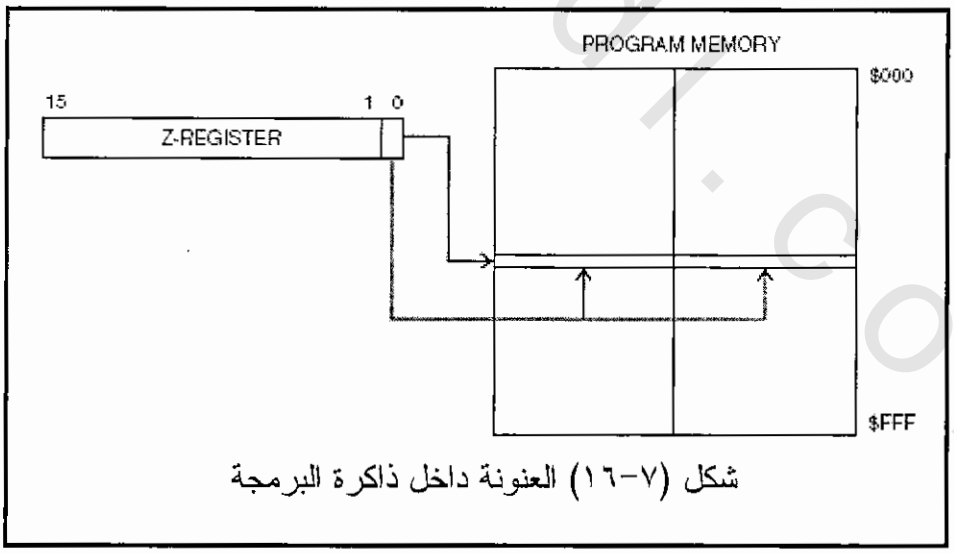
العنوان الذى سيتم التعامل معه هنا هو محتويات أحد المسجلات X أو Y أو Z بعد زيادته بمقدار واحد كما فى شكل (٧-١٥) .



شكل (٧-١٥) العنونة الغير مباشرة مع الزيادة

٧-٥-٩ العنونة داخل ذاكرة البرمجة

العنوان المراد التعامل معه هنا يكون موجودا فى ذاكرة البرمجة ، والتعامل هنا يكون بالطريقة الغير مباشرة حيث يكون العنوان المراد التعامل معه موجود فى المسجل Z كما فى شكل (٧-١٦) . إذا كانت أول بت فى المسجل Z تساوى صفر فإنه سيتم التعامل مع البايت ذات القيمة الصغرى ، وإذا كانت أول بت بواحد فسيتم التعامل مع البايت ذات القيمة العظمى كما فى الشكل .



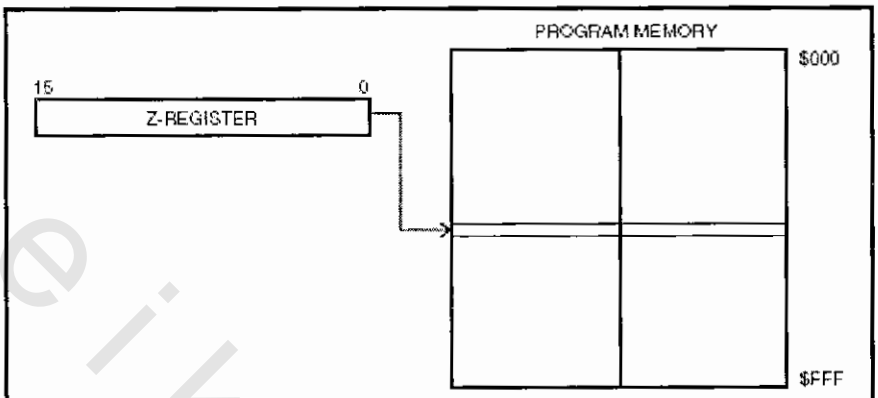
شكل (٧-١٦) العنونة داخل ذاكرة البرمجة

obeikandl.com

٧-٦ أوامر القفز والنداء على البرامج الفرعية

٧-٦-١ القفز والنداء الغير مباشر Indirect jump and call

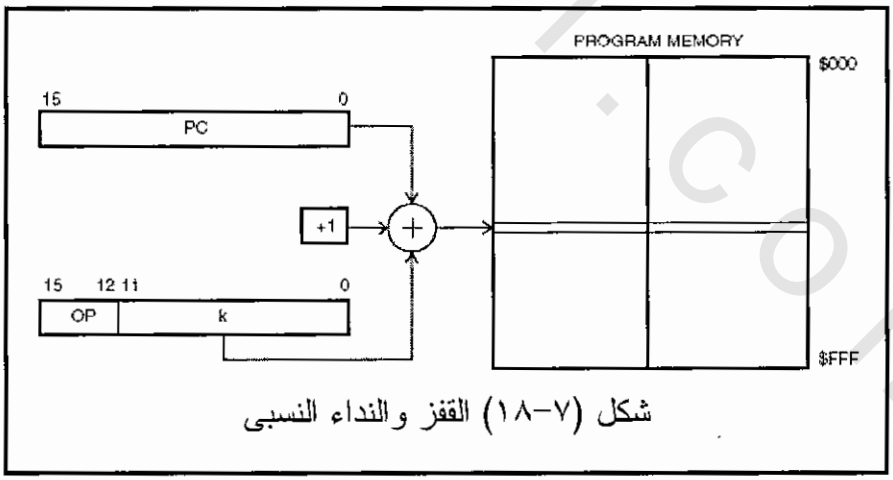
العنوان الذى سيتم القفز إليه ، أو عنوان البرنامج الفرعى الذى سيتم القفز إليه ، بالأمر IJMP أو ICALL يكون موجودا فى المسجل Z كما فى شكل (٧-١٧) .



شكل (٧-١٧) القفز والنداء الغير مباشر

٧-٦-٢ القفز والنداء النسبى Relative jump and call

العنوان الذى سيتم القفز إليه أو النداء عليه يتم تكوينه نسبيا من عداد البرنامج حيث يتم جمع محتويات عداد البرنامج PC مع ثابت K يأتى من الأمر نفسه مع زيادة واحد كما فى شكل (٧-١٨) .



شكل (٧-١٨) القفز والنداء النسبى

obeikandl.com

٧-٧ ذاكرة الإدخال والإخراج I/O Memory

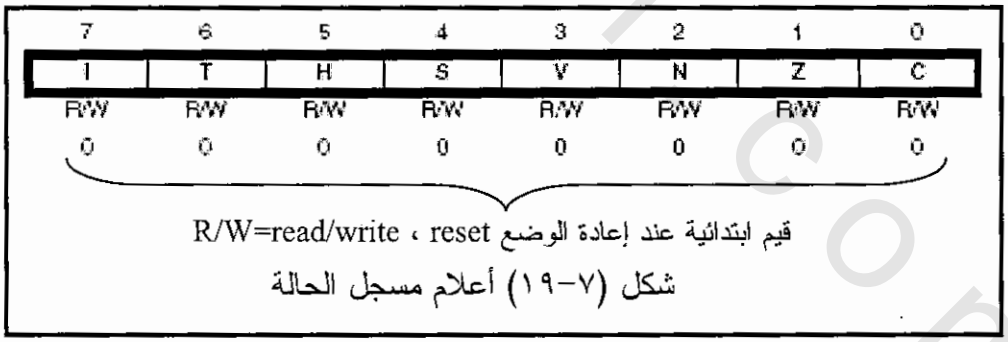
كمية من الذاكرة (٦٤ بايت) أو المسجلات يتم التعامل معها باستخدام الأمرين IN و OUT التى تنقل البيانات بين هذه المسجلات والمسجلات العامة أو مسجلات التشغيل (٣٢ مسجلا) . بعض هذه المسجلات له وظائف خاصة كما هو مبين فى جدول ٧-١ الذى يبين عنوان واسم ووظيفة كل واحد من هذه المسجلات . لاحظ فى هذا الجدول أن كل واحد من هذه المسجلات له عنوانين سنعرف بعد قليل كيفية التعامل مع هذه العناوين عند شرح وظيفة المسجل MCUCR .

جدول ٧-١ المسجلات الخاصة فى مدى الإدخال والإخراج

Address Hex	Name	Function
$3F ($5F)	SREG	Status Register
$3E ($5E)	SPH	Stack Pointer High
$3D ($5D)	SPL	Stack Pointer Low
$3B ($5B)	GIMSK	General Interrupt Mask register
$3A ($5A)	GIFR	General Interrupt Flag Register
$39 ($59)	TIMSK	Timer/Counter Interrupt Mask register
$38 ($58)	TIFR	Timer/Counter Interrupt Flag register
$35 ($55)	MCUCR	MCU general Control Register
$33 ($53)	TCCR0	Timer/Counter0 Control Register
$32 ($52)	TCNT0	Timer/Counter0 (8-bit)
$2F ($4F)	TCCR1A	Timer/Counter1 Control Register A
$2E ($4E)	TCCR1B	Timer/Counter1 Control Register B
$2D ($4D)	TCNT1H	Timer/Counter1 High Byte
$2C ($4C)	TCNT1L	Timer/Counter1 Low Byte
$2B ($4B)	OCR1AH	Timer/Counter1 Output Compare Register A High Byte
$2A ($4A)	OCR1AL	Timer/Counter1 Output Compare Register A Low Byte
$29 ($49)	OCR1BH	Timer/Counter1 Output Compare Register B High Byte
$28 ($48)	OCR1BL	Timer/Counter1 Output Compare Register B Low Byte
$25 ($45)	ICR1H	T/C 1 Input Capture Register High Byte
$24 ($44)	ICR1L	T/C 1 Input Capture Register Low Byte
$21 ($41)	WDTCR	Watchdog Timer Control Register
$1F ($3E)	EEARH	EEPROM Address Register High Byte (AT90S8515)
$1E ($3E)	EEARL	EEPROM Address Register Low Byte
$1D ($3D)	EEDR	EEPROM Data Register
$1C ($3C)	EECR	EEPROM Control Register

$1B ($3B)	PORTA	Data Register, Port A
$1A ($3A)	DDRA	Data Direction Register, Port A
$19 ($39)	PINA	Input Pins, Port A
$18 ($38)	PORTB	Data Register, Port B
$17 ($37)	DDRB	Data Direction Register, Port B
$16 ($36)	PINB	Input Pins, Port B
$15 ($35)	PORTC	Data Register, Port C
$14 ($34)	DDRC	Data Direction Register, Port C
$13 ($33)	PINC	Input Pins, Port C
$12 ($32)	PORTD	Data Register, Port D
$11 ($31)	DDRD	Data Direction Register, Port D
$10 ($30)	PIND	Input Pins, Port D
$0F ($2F)	SPDR	SPI I/O Data Register
$0E ($2E)	SPSR	SPI Status Register
$0D ($2D)	SPCR	SPI Control Register
$0C ($2C)	UDR	UART I/O Data Register
$0B ($2B)	USR	UART Status Register
$0A ($2A)	UCR	UART Control Register
$09 ($29)	UBRR	UART Baud Rate Register
$08 ($28)	ACSR	Analog Comparator Control and Status Register

٧-٨ مسجل الحالة Status register



شكل (٧-١٩) أعلام مسجل الحالة

هذا المسجل عنوانه هو $3F($5F) كما فى جدول ٧-١ ، وهو يحتوى مجموعة من الأعلام كما فى شكل (٧-١٩) وكل علم يكون واحد أو صفر فى حالة معينة أو موقف معين كما يلى :

- **علم المقاطعة I** : علم عام لتنشيط جميع المقاطعات Global interrupt flag أى أنه لكى تقبل أى مقاطعة لابد أن يكون هذا العلم بواحد . بعد ذلك يمكن تنشيط أو إخماد أى مقاطعة منفردة من خلال مسجل خاص بكل طريقة من طرق المقاطعة كما سنرى . عند قبول أى مقاطعة فإن المتحكم يجعل هذا العلم صفرا لمنع أى مقاطعة أخرى من التأثير ، وبعد تنفيذ أمر العودة من برنامج خدمة المقاطعة RETI يرجع هذا العلم بواحد مرة ثانية استعدادا لاستقبال أى مقاطعة أخرى .
- **مخزن نسخ البت T** : يمكن نسخ محتويات البت T فى أى بت من بتات أى واحد من المسجلات العامة باستخدام الأمر BLD (Bit Load) ، كما يمكن نسخ محتويات أى بت من بتات أى واحد من المسجلات العامة فى البت T باستخدام الأمر BST (Bit store) . أى أن البت T تمثل المصدر أو الهدف مع الأمرين BLD و BST .
- **علم الحمل النصفى H** : يكون بواحد عند حدوث حمل أو استلاف من أو إلى خانة المنتصف عند إجراء أى عملية حسابية أو منطقية .
- **علم الإشارة S** : هذا العلم هو ناتج عملية XOR على محتويات علم السالبية N وعلم الفيضان V .
- **علم الفيضان V** : يصبح واحد إذا زادت النتيجة عن 127 أو نقصت عن 128- فى حالة إجراء العمليات الحسابية على الأرقام ذات الإشارة .
- **علم السالبية N** : يكون واحد إذا كانت نتيجة أى عملية حسابية أو منطقية سالبة .
- **علم الصفر Z** : يكون بواحد إذا كانت نتيجة آخر عملية حسابية أو منطقية تساوى صفر . ويكون بصفر بالطبع فى غير ذلك .
- **علم الحمل C** : يكون بواحد إذا كان هناك حمل أو استلاف من أو إلى آخر بت فى حالات الجمع أو الطرح .

لاحظ أن مسجل الحالة لا يتم دفعه فى المكدسة ذاتيا ولكن إذا تطلب الأمر ذلك فإنه مسئولية المبرمج .

٧-٩ مجموعات أوامر المتحكم AT90S8515

قبل أن نستكمل فى شرح باقى المسجلات الموجودة فى جدول ٧-١ سنقدم هنا جدولا بكل أوامر المتحكم AT90S8515 حتى نكون على دراية بهذه الأوامر عند شرح هذه المسجلات .

٧-٩-١ مجموعة أوامر الحساب

من الملاحظات المهمة على هذه المجموعة أن جميع أوامرها تنفذ فى نبضة تزامن واحدة كما أن جميعها تقريبا تؤثر على الأعلام وإن اختلف عدد الأعلام التى تتأثر بكل أمر .

جدول ٧-٢ أوامر الحساب

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
ADD	Rd, Rr	Add Two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry Two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rd,K	Add immediate to word	Rdh:Rdl ← Rdh:Rdl + K	Z,C,N,V,H	2
SUB	Rd, Rr	Subtract Two Registers	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd - K	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract with Carry Two Registers	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd - K - C	Z,C,N,V,H	1
SBIW	Rd,K	Subtract immediate from word	Rdh:Rdl ← Rdh:Rdl - K	Z,C,N,V,H	2
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, R r	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF - Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 - Rd	Z,C,N,V,H	1
SBR	Rd, K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd, K	Clear Bit(s) in Register	Rd ← Rd • (FFh - K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1

٧-٩-٢ مجموعة أوامر المقارنة والقفز

جدول ٧-٣ أوامر المقارنة والقفز

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect jump to (Z)	PC ← Z	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect call to (Z)	PC ← Z	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4

CPSE	Rd, Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1/2/3
CP	Rd, Rr	Compare	Rd - Rr	Z,N,V,C,H	1
CPC	Rd, Rr	Compare with Carry	Rd - Rr - C	Z,N,V,C,H	1
CPI	Rd, K	Compare Register with Immediate	Rd - K	Z,N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b) = 0) PC ← PC + 2 or 3	None	1/2/3
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b) = 1) PC ← PC + 2 or 3	None	1/2/3
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)= 0) PC ← PC + 2 or 3	None	1/2/3
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b) = 1) PC ← PC + 2 or 3	None	1/2/3
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC ← PC + k + 1	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC ← PC + k + 1	None	1/2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1/2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1/2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1/2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1/2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1/2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1/2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1/2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if (N □ V = 0) then PC ← PC + k + 1	None	1/2
BRLT	k	Branch if Less than Zero, Signed	if (N □ V = 1) then PC ← PC + k + 1	None	1/2
BRHS	k	Branch if Half-carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1/2
BRHC	k	Branch if Half-carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1/2
BRTS	k	Branch if T-Flag Set	if (T = 1) then PC ← PC + k + 1	None	1/2
BRTC	k	Branch if T-Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1/2
BRVC	k	Branch if Overflow Flag	if (V = 0) then PC ←	None	1/2

		is Cleared	PC + k + 1		
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1/2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1/2

٧-٩-٣ مجموعة أوامر نقل البيانات

جدول ٧-٤ أوامر نقل البيانات

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
MOV	Rd,Rr	Move between registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd,X	Load indirect	Rd ← (X)	None	2
LD	Rd,X+	Load indirect and post increment	Rd ← (X), X←X+1	None	2
LD	RD,-X	Load indirect and pre decrement	X←X-1, Rd ← (X),	None	2
LD	Rd,Y	Load indirect	Rd ← (Y)	None	2
LD	Rd,Y+	Load indirect and post increment	Rd ← (Y), Y←Y+1	None	2
LD	Rd,-Y	Load indirect and pre decrement	Y←Y-1, Rd ← (Y),	None	2
LDD	Rd,Y+q	Load indirect with displacement	Rd ← (Y+q)	None	2
LD	Rd,Z	Load indirect	Rd ← (Z)	None	2
LD	Rd,Z+	Load indirect and post increment	Rd ← (Z), Z←Z+1	None	2
LD	Rd,-Z	Load indirect and pre decrement	Z←Z-1, Rd ← (Z),	None	2
LDD	Rd,Z+q	Load indirect with displacement	Rd ← (Z+q)	None	2
LDS	Rd,K	Load direct from SRAM	Rd ← (K)	None	2
ST	X,Rr	Store indirect	(X) ← Rr	None	2
ST	X+,Rr	Store indirect and post increment	(X) ← Rr, X←X+1	None	2
ST	-X,Rr	Store indirect and pre decrement	X←X-1, (X) ← Rr,	None	2
ST	Y,Rr	Store indirect	(Y) ← Rr	None	2
ST	Y+,Rr	Store indirect and post increment	(Y) ← Rr, Y←Y+1	None	2
ST	-Y,Rr	Store indirect and pre decrement	Y←Y-1, (Y) ← Rr	None	2
STD	Y+q,Rr	Store indirect with displacement	(Y+q) ← Rr	None	2
ST	Z,Rr	Store indirect	(Z) ← Rr	None	2
ST	Z+,Rr	Store indirect and post increment	(Z) ← Rr, Z←Z+1	None	2

ST	-Z,Rr	Store indirect and pre decrement	Z←Z-1, (Z) ← Rr	None	2
STD	Z+q,Rr	Store indirect and pre decrement	(Z+q) ← Rr	None	2
STS	K,Rr	Store direct to SRAM	(K) ← Rr	None	2
LPM		Load program memory	R0 ← Z	None	3
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push register on stack	Stack← Rr	None	2
POP	Rd	POP register from stack	Rr← Stack	None	2

٧-٩-٤ مجموعة أوامر التعامل مع البتات المفردة

جدول ٧-٥ أوامر التعامل مع البتات المفردة

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
SBI	P, b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P, b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left through Carry	Rd(0) ← C,Rd(n+1) ← Rd(n),C ← Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right through Carry	Rd(7) ← C,Rd(n) ← Rd(n+1),C ← Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n = 0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0) ← Rd(7..4),Rd(7..4) ← Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit Load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Two's Complement Overflow	V ← 1	V	1

CLV		Clear Two's Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half-carry Flag in SREG	H ← 1	H	1
CLH		Clear Half-carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	1
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

٧-١٠ مسجل التحكم فى أداء الشريحة MCUCR

يحتوى المسجل MCUCR, Microcontroller Unit Control Register على مجموعة من الأعلام التى تتحكم فى أداء الوظائف العامة للمتحكم . شكل (٧-٢٠) يبين محتويات هذا المسجل وهى كالتالى :

	7	6	5	4	3	2	1	0
$35 ($55)	SRE	SRW	SE	SM	ISC11	ISC10	ISC01	ISC00
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٠) محتويات المسجل MCUCR

- **البت SRE**, Static Ram Enable بوضع هذه البت بواحد يتم تنشيط عملية التعامل مع الذاكرة الاستاتيكية (خريطة الذاكرة) حيث أطراف البوابة A ستمثل الوظيفة البديلة وهى إشارة بيانات/عناوين AD0-AD7 ، وأطراف البوابة C ستمثل إشارة العناوين A8-A15 ، وطرفى البوابة D ستمثل الإشارتين $\overline{RD}$ و $\overline{WR}$. عندما تكون هذه البت بصفر فإن الذاكرة الاستاتيكية تكون غير فعالة ولا يمكن التعامل معها .
- **البت SRW**, Static Ram Wait بوضع هذه البت بواحد فإن عملية الاتصال بالذاكرة الاستاتيكية تمتد بمقدار دورة (نبضة) زيادة ، بينما بوضع هذه البت بصفر فإن عملية الاتصال بالذاكرة الاستاتيكية يتم فى زمنه الطبيعى وهو ٣ نبضات . هناك تفاصيل أخرى عن التعامل مع الذاكرة الخارجية فى معرض الحديث عن التقابل مع هذه الذاكرة .

- **البت SE**, Seep Enable لابد من وضع هذه البت بواحد حتى يمكن للمتحكم أن يدخل حالة النوم بعد تنفيذ الأمر SLEEP . إذا كانت هذه البت بصفر فلن يدخل المتحكم حالة النوم بعد تنفيذ الأمر SLEEP .
- **البت SM**, Sleep Mode ، هناك حالتين للنوم يمكن إدخال المتحكم فى أى واحدة منهما . الحالة الأولى هى الحالة Idle ويتم الدخول فيها بوضع هذه البت بصفر ، وأما الحالة الثانية فهى حالة تخفيض القدرة Power down فتتم بوضع هذه البت بواحد . الفرق بين الحالتين سيأتى الحديث عنه بعد قليل .

عندما يدخل المتحكم فى أى واحدة من حالات النوم فإنه عند حدوث مقاطعة للمتحكم يخرج من حالة النوم وينفذ برنامج خدمة المقاطعة ويعود إلى البرنامج الأساسى بعد الأمر SLEEP الذى أدخله فى حالة النوم . نفس الشىء يحدث لو حدث تصفير RESET للمتحكم حيث يذهب للعنوان المحدد فى متجه المقاطعة وهو $000 .

فى حالة النوم Idle تتوقف وحدة المعالجة المركزية CPU ولا يتوقف المذبذب ويسمح بجميع أنواع المقاطعة الخارجية من على أطراف المتحكم أو الداخلية مثل المقاطعة من على المؤقتات أن توقظ المتحكم من حالة النوم هذه . فى الحالة Power down يتوقف المذبذب ويسمح للمقاطعة الخارجية فقط ومؤقت الحراسة أن توقظ المتحكم من هذه الحالة .

- **البتات ISC11,10**, Interrupt Sense Control1 . يمكن مقاطعة المتحكم من على الطرف INT1 بأكثر من طريقة كما فى جدول ٧-٦ .

جدول ٧-٦ طريقة المقاطعة على الطرف INT1

ISC11 Bit3	ISC10 Bit2	الوصف
0	0	تتم المقاطعة عندما يصبح الطرف INT1 فى المستوى صفر
0	1	غير مستخدم
1	0	تتم المقاطعة مع الحافة النازلة (1 إلى 0) للطرف INT1
1	1	تتم المقاطعة مع الحافة الصاعدة (0 إلى 1) للطرف INT1

- **البتات ISC01,00**, Interrupt Sense Control0 . يمكن مقاطعة المتحكم من على الطرف INT0 بأكثر من طريقة كما فى جدول ٧-٧ .

جدول ٧-٧ طريقة المقاطعة على الطرف INT1

ISC01 Bit1	ISC00 Bit0	الوصف
0	0	تتم المقاطعة عندما يصبح الطرف INT0 فى المستوى صفر
0	1	غير مستخدم
1	0	تتم المقاطعة مع الحافة النازلة (1 إلى 0) للطرف INT0
1	1	تتم المقاطعة مع الحافة الصاعدة (0 إلى 1) للطرف INT0

٧-١١ المقاطعة والتصفير Interrupt and Reset

جدول ٧-٨ جميع حالات المقاطعة

رقم القاطعة	عنوان القفز فى ذاكرة البرمجة	مصدر المقاطعة	وصف المقاطعة
1	$000	RESET	Reset terminal, Watch dog timer reset, Power ON reset
2	$001	INT0	External INT0
3	$002	INT1	External INT1
4	$003	TIMER1 CAPT	Timer1 capture event
5	$004	TIMER1 COMPA	Timer1 compare match A
6	$005	TIMER1 COMPB	Timer1 compare match B
7	$006	TIMER1 OVF	Timer1 Overflow
8	$007	TIMER0 OVF	Timer0 Overflow
9	$008	SPI, STC	Serial transfer complete
10	$009	UART, Rx	UART Rx compete
11	$00A	UART, UDRE	UART Data register empty
12	$00B	UART, Tx	UART Tx compete
13	$00C	ANA_COMP	Analog comparator

هناك ١٢ وسيلة مختلفة لمقاطعة المتحكم AT90S8515 بالإضافة إلى إمكانية التصفير Reset أو إعادة الوضع . جدول ٧-٨ يبين جميع هذه الحالات وموضع الذاكرة الذى سيتم القفز إليه عند حدوث أى واحدة من هذه المقاطعات . لكى تقبل أى مقاطعة لابد أن يكون علم التنشيط الخاص بهذه المقاطعة نشط ، كما أن علم التنشيط العام لجميع المقاطعات I الموجود فى مسجل الحالة ، لابد أن يكون نشط . ترتيب المقاطعات فى جدول ٧-٨ تم على حسب أولوية كل مقاطعة . فالطرف Reset له أعلى أولوية يليه الطرف INT0 ثم الطرف INT1 وهكذا . عند كل عنوان من عناوين القفز الموجودة فى متجه المقاطعة الموضح فى جدول ٧-٨ يتم كتابة أمر قفز إلى برنامج خدمة المقاطعة الخاص بهذه المقاطعة .

يمكن تصفير Reset المتحكم بثلاث طرق مختلفة :

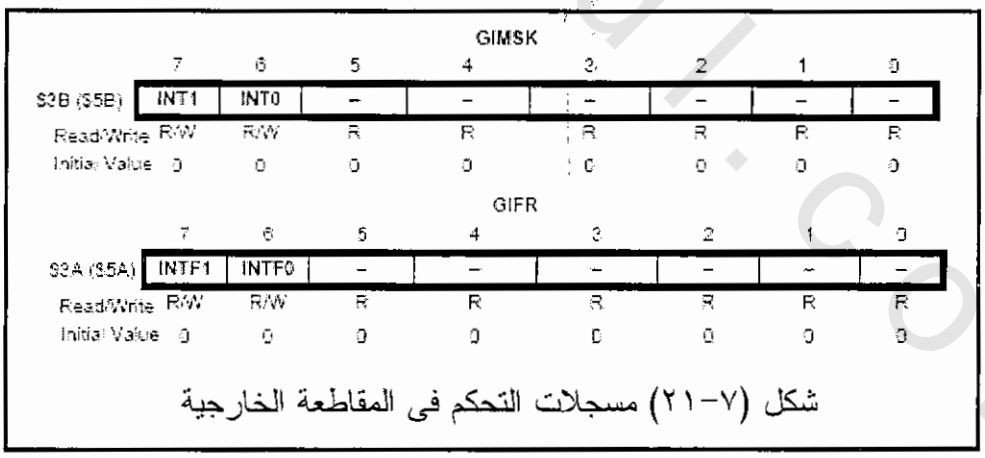
- عند توصيل القدرة Vcc للمتحكم .

• عند عمل Reset من على الطرف $\overline{RESET}$ وذلك بتوصيله على الأرضى .
• عندما يصل مؤقت الحراسة لأقصى قيمة له قبل تصفيره .

عندما يكون علم المقاطعة العام I فى مسجل الحالة بواحد ، وعند حدوث أى مقاطعة فإن هذا العلم I يتم تصفيره بالمتحكم لمنع أى مقاطعة أخرى وبعدها ينتقل المتحكم إلى برنامج خدمة المقاطعة الذى ينتهى بالأمر RETI الذى بعد تنفيذه يتم تنشيط العلم I مرة أخرى بوضعه يساوى واحد عن طريق المتحكم ليكون مستعدا لاستقبال المقاطعات الأخرى . بعد دخول المتحكم فى برنامج خدمة مقاطعة يستطيع المستخدم أن يضع العلم I=1 حتى يسمح بالمقاطعة المتداخلة إن أراد ذلك . إذا تم تنشيط مقاطعة أو أكثر فى حالة كون العلم I=0 ، فإنه عند عودة العلم I=1 فإنه سيتم تنفيذ كل المقاطعات النشطة على حسب أولوية كل منها .

كما رأينا من دراسة أطراف شريحة المتحكم فإنه يمكن مقاطعته خارجيا من على الطرفين INT0 و INT1 ، وكما رأينا سابقا يمكن اختيار طريقة المقاطعة بالتحكم فى بتات المسجل MCUCR . هناك مسجلان آخران يستخدمان فى التحكم وتنشيط هذين الطرفين وهما المسجل General Interrupt Mask Register, GIMSR والمسجل General Interrupt Fag Register, GIFR . شكل (٧-٢١) يبين محتويات هذين المسجلين . لاحظ أن كل من المسجلين يتكون من ٨ بت يستخدم منهما ٢ بت فقط من كل مسجل . فى المسجل GMISR :

• **بت 7 INT1** : بت تنشيط Enable للمقاطعة INT1 بحيث عندما تكون هذه البت بواحد والعلم I=1 فى مسجل الحالة فإن المقاطعة على هذا الطرف ستقبل على حسب طريقة تحديدها (مستوى ، أو حافة نازلة ، أو حافة صاعدة) فى المسجل MCUCR .



شكل (٧-٢١) مسجلات التحكم فى المقاطعة الخارجية

• **بت 6 INT0** : بت تنشيط Enable للمقاطعة INT0 بحيث عندما تكون هذه البت بواحد والعلم I=1 فى مسجل الحالة فإن المقاطعة على هذا الطرف ستقبل على

حسب طريقة تحديدها (مستوى ، أو حافة نازلة ، أو حافة صاعدة) فى المسجل MCUCR .

- باقى بتات هذا المسجل غير مستخدمة .

فى المسجل GIFR :

- **بت 7 INTF1** : إذا كانت المقاطعة على الطرف INT1 تعمل على أى حافة (سواء الحافة النازلة أو الصاعدة) فإن هذه البت تصبح واحد عند حدوث أى حافة على هذا الطرف وذلك لتسجيل المقاطعة . عند دخول المتحكم فى برنامج خدمة المقاطعة فإن هذا العلم يصبح صفرا . إذا كانت المقاطعة قد تم تحديدها لتعمل على المستوى صفر فإن هذا العلم يكون صفر ولكى تقبل المقاطعة لابد أن يظل الطرف INT1=0 حتى تقبل المقاطعة .
- **بت 6 INTF0** : إذا كانت المقاطعة على الطرف INT0 تعمل على أى حافة (سواء الحافة النازلة أو الصاعدة) فإن هذه البت تصبح واحد عند حدوث أى حافة على هذا الطرف وذلك لتسجيل المقاطعة . عند دخول المتحكم فى برنامج خدمة المقاطعة فإن هذا العلم يصبح صفرا . إذا كانت المقاطعة قد تم تحديدها لتعمل على المستوى صفر فإن هذا العلم يكون صفر ولكى تقبل المقاطعة لابد أن يظل الطرف INT1=0 حتى تقبل المقاطعة .
- باقى بتات هذا المسجل غير مستخدمة .

٧-١٢ مؤشر المكدسة Stack Pointer

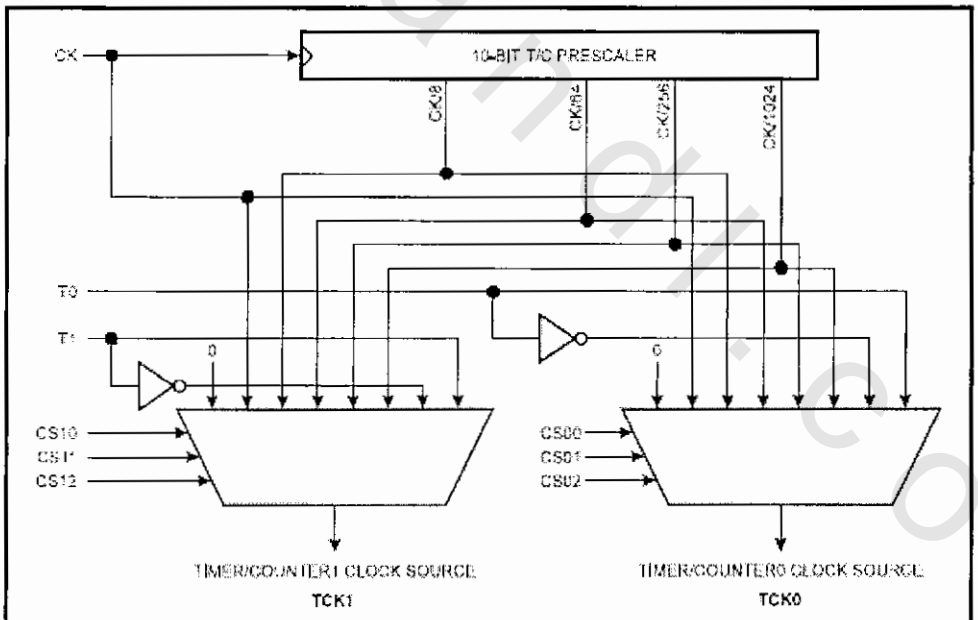
عند التعامل مع البرامج الفرعية أو المقاطعة لابد من توافر مكدسة يتم تخزين عناوين العودة إلى البرنامج الأساسى فيها . المكدسة فى المتحكم AT90S8515 عبارة عن جزء مقطع من الذاكرة الاستاتيكية الخارجية SRAM يتم الإشارة إليه بمؤشر المكدسة SP . هذا المؤشر SP يتكون من ١٦ بت عبارة عن مسجلين من مسجلات الإدخال والإخراج عناينهم هى $3E($5E) للمسجل SPH الذى يمثل البايت العليا للمؤشر والعنوان $3D($5D) للمسجل SPL الذى يمثل البايت الدنيا للمؤشر SP كما فى شكل (٧-٢٢) . يجب أن يوضع المؤشر SP فى بداية أى تطبيق ليشير إلى عنوان أعلى من العنوان $0060 . عند النداء على برنامج فرعى أو الذهاب إلى برنامج خدمة مقاطعة يتم دفع محتويات عداد البرنامج PC فى المكدسة وإنقاص المؤشر SP بمقدار 2 . عند العودة من برنامج فرعى بالأمر RET أو من برنامج خدمة مقاطعة بالأمر RETI فإنه يتم سحب عنوان العودة من المكدسة ووضعه فى عداد البرنامج مع زيادة المؤشر SP بمقدار 2 . هناك الأمر PUSH الذى يدفع أى بايت فى المكدسة بعد إنقاص المؤشر SP بمقدار واحد ، والأمر POP الذى يسحب بايت من قمة المكدسة بعد زيادة المؤشر SP بواحد .

$3E ($5E)	15	14	13	12	11	10	9	8
SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
$3D ($5D)	7	6	5	4	3	2	1	0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

شكل (٧-٢٢) مؤشر المكدسة SP فى المتحكم AT90S8515

٧-١٣ المؤقتات/العدادات Timers/Counters

يحتوى المتحكم AT90S8515 على مؤقت/عداد ٨ بت ورقمه هو Timer0 وآخر ١٦ بت ورقمه هو Timer1 . كل منهما يمكنه أن يعمل كمؤقت بنبضات تزامن داخلية أو عداد يحسب عدد النبضات الداخلة له من أحد أطراف الشريحة الخارجية ، الطـرف 1 للمؤقت 0 والطرف 2 للمؤقت 1 .



شكل (٧-٢٣) إختيار مصدر نبضات التزامن لكل من المؤقتين

هناك عداد قاسم مكون من ١٠ بت يمكن لكل من المؤقتين T0 أو T1 أن يستخدم أحد مخارجه المتاحة بحيث يستخدم نسبة أو كسر من نبضات التزامن وذلك لإطالة زمن التوقيت . شكل (٧-٢٣) يبين ذلك حيث نرى أن كل مؤقت يمكنه اختيار نبضات التزامن من ٨ مصادر متاحة وذلك باستخدام منتقى له ٣ خطوط اختيار وهى CS00, CS01, CS02 للمؤقت 0 والخطوط CS10, CS11, CS12 للمؤقت 1 . الثمانية مصادر هى النبضات المباشرة CK ، أو CK/8 أو CK/64 أو CK/256 أو CK/1024 ثم النبضات الخارجية T0 أو معكوسها للمؤقت 0 والنبضات الخارجية T1 أو معكوسها للمؤقت 1 وأخيرا هناك الدخل 0 الذى لا يدخل أى نبضات لكل من المؤقتين ، أى أنه بمثابة توقف لأى واحد من المؤقتين . تذكر أن CK هى نبضات تزامن المتحكم .

٧-١٣-١ المؤقت/العداد الأول Timer/Counter0

يتكون هذا المؤقت من ٨ بت كما ذكرنا وهو بمثابة عداد تصاعدى يعد نبضات التزامن الداخلة له من أحد المصادر كما فى شكل (٧-٢٣) . عنوان مسجل هذا العداد TCNT0 هو $32($52) كما فى شكل (٧-٢٤) . عملية اختيار واحد من الثمانية مصادر النبضات المتاحة تتم باستخدام ٣ بت فى المسجل Timer Counter Control Register, TCCR0 التى عنوانها $33($53) كما فى شكل (٧-٢٥) . نلاحظ من هذا الشكل أن أول ٣ بت تمثل خطوط الاختيار CS00, CS01, CS02 الموجودة فى شكل (٧-٢٢) والتى بها نختار مصدر نبضات التزامن لهذا المؤقت . باقى بتات هذا المسجل غير مستخدمة .

TCNT0	7	6	5	4	3	2	1	0
$32 ($52)	MSB							LSB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٤) مسجل المؤقت Timer\Counter0 ٨ بت

عندما يصل المؤقت إلى أقصى قيمة له $FF فإنه يمكنه أن يقاطع المتحكم ، ويمكن التحكم فى عملية المقاطعة من خلال المسجل Timer/counter Interrupt Mask Register, TIMSK والمسجل Timer/Counter Interrupt Flag Register, TIFR اللذين سنقدم شرحا لمحتوياتهم بعد إلقاء نظرة على المؤقت T1 لأنه يتأثر ببعض بتات هذين المسجلين أيضا .

٧-١٣-٢ المؤقت الثانى Timer/Counter1, T1

المؤقت T1 يتكون من ١٦ بت كما ذكرنا سابقا ونبضات التزامن الخاصة به يمكن اختيارها من ثمانية مصادر كما فى شكل (٧-٢٢) ، حيث يمكن اختيار النبضات CK أو أحد قواسمها كما يمكن اختيار المصدر الخارجى للنبضات أو معكوسه أو حتى يمكن إيقاف المؤقت تماما باختيار نبضات صفر كما فى الشكل . يتم التحكم فى أداء هذا المؤقت من خلال أكثر من مسجل وهى كالتالى :

TCCR0	7	6	5	4	3	2	1	0
$23 ($53)	–	–	–	–	–	CS02	CS01	CS00
Read/Write	R	R	R	R	R	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

CS02	CS01	CS00	Description
0	0	0	Stop, the Timer/Counter0 is stopped.
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	External Pin T0, falling edge
1	1	1	External Pin T0, rising edge

شكل (٧-٢٥) مسجل التحكم فى نبضات التزامن TCCR0

- المسجل Timer/counter Interrupt Mask, TIMSK
- المسجل Timer/counter Interrupt Flag Register, TIFR
- المسجل Timer/Counter Control Register 1A, TCCR1A
- المسجل Timer/Counter Control Register 1B, TCCR1B

وهذه المسجلات سيتم شرح محتوياتها فى الأجزاء القادمة .

هناك أيضا المسجل Output Compare Register 1A, OCR1A والمسجل Output Compare Register 1B, OCR1B ويتكون كل منهما من ١٦ بت حيث يمكن مقارنة محتويات أى منهما مع محتويات المؤقت عن طريق مقارن ثنائى من ١٦ بت وعند التساوى ينتج عن ذلك إشارة يمكنها أن تقاطع المتحكم بحيث يذهب إلى متجه

المقاطعة المناسب . يمكن أيضا إخراج إشارة التساوى هذه على أحد أطراف الخرج فى الشريحة وهما الطرفان OCA و OCB (أنظر أطراف الشريحة) .
يمكن أيضا استخدام هذا المؤقت كمعدل لعرض النبضة Pulse Width Modulator, PWM مكون من ٨ أو ٩ أو ١٠ بت .
يمكن عند أى لحظة مسك Capture محتويات المؤقت وتخزينها فى مسجل خاص بذلك وهو المسجل Input Capture Register1, ICR1 وذلك من خلال أحد أطراف الشريحة وهو الطرف Input Capture Pin, ICP (أنظر أطراف الشريحة أيضا للتعرف على هذا الطرف) . يمكن أيضا استخدام خرج المقارن الانسيابى كنبضة تزامن لمسك محتويات المقارن أيضا .

٧-١٣-٣ المسجل TIMSK

يحتوى هذا المسجل على مجموعة من البتات التى تستخدم كأقنعة لتنشيط أو إخماد المقاطعات من كل من المؤقتين . هذا المسجل عنوانه هو $39($59) كما هو مبين فى شكل (٧-٢٦) ووظيفة كل بت من بتاته هى كالتالى :

TIMSK	7	6	5	4	3	2	1	0
$39 ($59)	TOIE1	OCIE1A	OCIE1B	-	TICIE1	-	TOIE0	-
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٦) المسجل TIMSK

- **بت 7 TOIE1**, Timer1 Overflow Interrupt Enable بوضع هذه البت بواحد وعندما يكون علم المقاطعة العام I=1 فإنه عند حدوث فيضان فى المؤقت T1 سيحدث مقاطعة للمتحكم حيث سيذهب للعنوان $0006 فى متجه المقاطعة .
- **بت 6 OCIEA**, Timer1 Output Compare A Interrupt Enable بوضع هذه البت بواحد وعندما يكون علم المقاطعة العام I=1 فإنه عند تساوى محتويات المؤقت مع محتويات مسجل المقارنة OCR1A (أنظر بت 6 فى المسجل TIFR) سيحدث مقاطعة للمتحكم حيث سيذهب للعنوان $0004 فى متجه المقاطعة .
- **بت 5 OCIEB**, Timer1 Output Compare A Interrupt Enable بوضع هذه البت بواحد وعندما يكون علم المقاطعة العام I=1 فإنه عند تساوى محتويات المؤقت مع محتويات مسجل المقارنة OCR1B سيحدث مقاطعة للمتحكم حيث سيذهب للعنوان $0005 فى متجه المقاطعة .
- **بت 3 TICIE1**, Timer1 Input Capture Interrupt Enable بوضع هذه البت بواحد وعندما يكون علم المقاطعة العام I=1 فإنه عند حدوث نبضة مسك على

الطرف ICP سيتم مسك محتويات المؤقت فى المسجل ICR1 ويتم مقاطعة المتحكم ليذهب إلى العنوان 0003$ فى متجه المقاطعة .

- **بت 1 TOIE0**, Timer0 Overflow Interrupt Enable بوضع هذه البت بواحد وعندما يكون علم المقاطعة العام I=1 فإنه عند حدوث فيضان فى المؤقت T0 سيحدث مقاطعة للمتحكم حيث سيذهب للعنوان 0007$ فى متجه المقاطعة .
- **البتات 0 و 2 و 4** غير مستخدمه .

٧-١٣-٤ المسجل TIFR

بتات هذا المسجل تمثل أعلاما Flags تكون واحد عند حدوث المقاطعة المناظرة ، أى أنها تبين حدوث المقاطعة . لذلك فإن هذه المقاطعة لن تتم إلا إذا كان العلم الخاص فى هذا المسجل يساوى واحد . هذا المسجل عنوانه هو 38($58)$ كما هو مبين فى شكل (٧-٢٧) وبيان بتاته كالتالى :

- **بت 7 TOV1**, Timer1 Overflow Flag هذا العلم يصبح واحد عند حدوث فيضان من المؤقت 1 ، ويتم تصفيره عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة . لذلك فإن المقاطعة الناتجة عن فيضان المؤقت T1 سيتم خدمتها إذا كان كل من I=1 و TOIE1=1 و TOV1=1 فى نفس الوقت . يتم تصفير هذا العلم عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة .
- **بت 6 OCF1A**, Output Compare Flag 1A هذا العلم يصبح واحد إذا تساوت محتويات مسجل المقارنة OCR1A مع محتويات المؤقت T1 . فى هذه الأثناء إذا كان العلم I=1 فى مسجل الحالة والبت OCIE1A=1 فى المسجل TIMSK وكان العلم OCF1A=1 فإنه سيتم مقاطعة المتحكم وسيذهب لمتجه المقاطعة العنوان 004$. يتم تصفير هذا العلم عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة .

TIFR	7	6	5	4	3	2	1	0
$38 ($59)	TOV1	OCF1A	OCIFB	–	ICF1	–	TOV0	–
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٧) المسجل TIFR

- **بت 5 OCF1B**, Output Compare Flag 1B هذا العلم يصبح واحد إذا تساوت محتويات مسجل المقارنة OCR1A مع محتويات المؤقت T1 . فى هذه الأثناء إذا كان العلم I=1 فى مسجل الحالة والبت OCIE1A=1 فى المسجل TIMSK وكان العلم OCF1A=1 فإنه سيتم مقاطعة المتحكم وسيذهب لمتجه المقاطعة العنوان

$005 . يتم تصفير هذا العلم عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة .

- **بت 3 ICF1**, Input Capture Flag, هذا العلم يصبح واحد ليبين أن محتويات المؤقت T1 قد تم مسكها فى المسجل الخاص بذلك وهو المسجل ICR1 . فى هذه الأثناء إذا كان العلم I=1 فى مسجل الحالة والبت TICIE1=1 فى المسجل TIMSK وكان العلم ICF1=1 فإنه سيتم مقاطعة المتحكم وسيذهب لمتجه المقاطعة العنوان $003 . يتم تصفير هذا العلم عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة .
- **بت 1 TOV0**, Timer/Counter0 Over flow flag, هذا العلم يصبح واحد عند حدوث فيضان فى المؤقت T0 ، أى عندما تصل محتوياته إلى $FF ، ثم تنزل إلى $00 . يتم مقاطعة المتحكم ويذهب إلى العنوان $007 عندما يكون العلم I=1 فى مسجل الحالة ، والبت TOIE0=1 فى المسجل TIMSK ، والعلم TOV0=1 . يتم تصفير هذا العلم عن طريق المتحكم بمجرد تنفيذ برنامج الخدمة الخاص بهذه المقاطعة .
- **باقى البتات غير مستخدمة .**

٧-١٣-٥ المسجل Timer/Counter Control Register 1A, TCCR1A

شكل (٧-٢٨) يبين بتات هذا المسجل وسنقدم هنا وظيفة كل منها فيما يبى :

TCCR1A	7	6	5	4	3	2	1	0
$2F ($4F)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	PWM11	PWM10
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٨) المسجل TCCR1A

- **البتات 7, 6 COM1A1, COM1A0** هاتان البتان يبينان ماذا سيحدث على طرف الخرج OCA عند حدوث تطابق بين محتويات المسجل OCR1A مع محتويات المؤقت T1 . جدول ٧-٩ يبين أربع تأثيرات يمكن أن تحدث على أى واحد من هذه الأطراف OCA أو OCB حيث يمكن اختيار إحداها على حسب الشفرة الوجودة على هاتين البتين .
- **البتات 5, 4 COM1B1, COM1B0** هاتان البتان يبينان ماذا سيحدث على طرف الخرج OCB عند حدوث تطابق بين محتويات المسجل OCR1B مع محتويات المؤقت T1 . جدول ٧-٩ يبين أربع تأثيرات يمكن أن تحدث على أى واحد من هذه الأطراف OCA أو OCB حيث يمكن اختيار إحداها على حسب الشفرة الوجودة على هاتين البتين .

• **البتات 0 ,1 PWM10, PWM11** تستخدم هذه البتات لاختيار طريقة الحصول على تعديل عرض النبضة Pulse Width Modulator, PWM وذلك على حسب الشفرة الموجودة فى جدول ٧-١٠ .

جدول ٧-٩

الوصف	COM1X1	COM1X0
طرف الخرج لا يتأثر على الإطلاق عند حدوث التطابق .	0	0
طرف الخرج يغير (أو يقلب) حالته عند حدوث التطابق .	0	1
طرف الخرج يصبح صفر عند حدوث التطابق .	1	0
طرف الخرج يصبح واحد عند حدوث التطابق .	1	1

جدول ٧-١٠

الوصف	PWM11	PWM10
وقف عملية التعديل Disable PWM	0	0
استخدام المؤقت T1 كمعدل ٨ بت	0	1
استخدام المؤقت T1 كمعدل ٩ بت	1	0
استخدام المؤقت T1 كمعدل ١٠ بت	1	1

• باقى البتات غير مستخدمة .

٧-١٣-٦ المسجل Timer/Counter Control Register 1B, TCCR1B

شكل (٧-٢٩) يبين بتات هذا المسجل وسنقدم هنا وظيفة كل منها فيما يلى :

TCCR1B	7	6	5	4	3	2	1	0
$3E ($4E)	ICNC1	ICES1	–	–	CTC1	CS12	CS11	CS10
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٢٩) المسجل TCCR1B

• **بت 7 ICNC1** هذه البت تستخدم لتنشيط دائرة إزالة الضوضاء Noise canceller على طرف مسك محتويات المؤقت ICP . عندما تكون هذه البت بواحد يتم قراءة الطرف ICP أربع مرات ولابد أن تكون كلها نازلة/صاعدة (على حسب حالة البت 6)

حتى يتم تنشيط عملية المسك . بوضع هذه البت بصفر يتم إخماد دائرة إزالة الضوضاء .

- **بت 6 ICES1**, Input Capture Edge Select عندما تكون هذه البت بصفر يتم مسك محتويات المؤقت فى المسجل ICR1 عند الحافة النازلة للطرف ICP . والعكس عندما تكون هذه البت بواحد تتم عملية المسك مع الحافة الصاعدة للطرف ICP .
- **بت 3 CTC1** عندما تكون هذه البت بواحد فإنه يتم تصفير المؤقت T1 عند حدوث تطابق بين محتوياته ومحتويات المسجل OCR1A . عندما تكون هذه البت بصفر فإن المؤقت يستمر فى العد ولا يتم تصفيره عند حدوث التطابق .
- **البتات 2, 1, 0** تستخدم لضبط قاسم نبضات التزامن Prescaler . كما فى جدول ٧-١١ حيث يمكن اختيار واحد من ثمانية مصادر لهذه النبضات .

جدول ٧-١١

CS12	CS11	CS10	Description
0	0	0	Stop, the Timer/Counter1 is stopped.
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	External Pin T1, falling edge
1	1	1	External Pin T1, rising edge

- باقى البتات فى هذا المسجل غير مستخدمة .

٧-١٣-٧ مسجل المؤقت Timer/Counter1, TCNT1,... T1

هذا المسجل هو مسجل المؤقت T1 الذى يحتوى القيمة الحالية للمؤقت وهو يتكون من ١٦ بت كما فى شكل (٧-٣٠) ، هذه القيمة هى القيمة التى يعدها المؤقت على حسب نبضات التزامن والقاسم المستخدم . بما أن وحدة المعالجة المركزية cpu فى المتحكم تتعامل مع بيانات من ٨ بت فقط فإنها تستخدم مسجل مساعد يسمى TEMP حتى تتم عملية الكتابة أو القراءة من هذا المسجل كما يلى :

- فى حالة نقل بيانات من ١٦ بت من ال cpu إلى المؤقت ، فإن البايت ذات القيمة الأعلى عند إرسالها إلى المؤقت فإنها تسجل فى المسجل TEMP وتنتظر حتى

عندما تكتب البايت ذات القيمة الأدنى من ال cpu فإن الاثنين بايت يسجلان معـا فى نفس الوقت فى المؤقت .

	15	14	13	12	11	10	9	8
TCNT1H $2D ($4D)	MSB							
TCNT1L $2C ($4C)								LSB
	7	6	5	4	3	2	1	0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

شكل (٧-٣٠) مسجل المؤقت T1

- عندما تقوم ال cpu بقراءة محتويات المؤقت فإنها تقرأ البايت ذات القيمة الأدنـى أولا ، وعندما تقرأ البايت ذات القيمة الأعلى فإنها فى الحقيقـة تقـرأ محتويـات المسجل TEMP .
- نفس طريقة التعامل السابقة تتم مـع المسـجلات OCR1A و OCR1B و ICR1 حيث أن كلها تتكون من ١٦ بت والتعامل معها يتم بالاستعانة بالمسجل TEMP .

٧-١٣-٨ المسجل OCR1A والمسجل OCR1B

	15	14	13	12	11	10	9	8
OCR1AH $2B ($4B)	MSB							
OCR1AL $2A ($4A)								LSB
	7	6	5	4	3	2	1	0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
OCR1BH $29 ($49)	MSB							
OCR1BL $28 ($48)								LSB
	7	6	5	4	3	2	1	0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

شكل (٧-٣١) المسجلين OCR1A و OCR1B

كل منهما يتكون من ١٦ بت كما فى شكل (٧-٣١) ويتم التعامل معهما من خلال السجل TEMP كما أشرنا سابقا . يتم مقارنة محتويات هذه المسجلات مع محتويات المؤقت باستمرار وعندما تتساوى يتم تنشيط أحد الأطراف المقابلة OC1A أو OC1B كما أشرنا سابقا .

٧-١٣-٩ المسجل ICR1

هذا المسجل يتكون أيضا من ١٦ بت كما فى شكل (٧-٣٢) . عندما يشعر المتحكم بحافة نازلة/صاعدة على الطرف ICP فإن القيمة الحالية للمؤقت T1 يتم مسكها أو تسجيلها فى المسجل ICR1 ، وفى نفس الوقت يتم تنشيط العلم ICF1 بوضعه يساوى واحد للدلالة على ذلك .

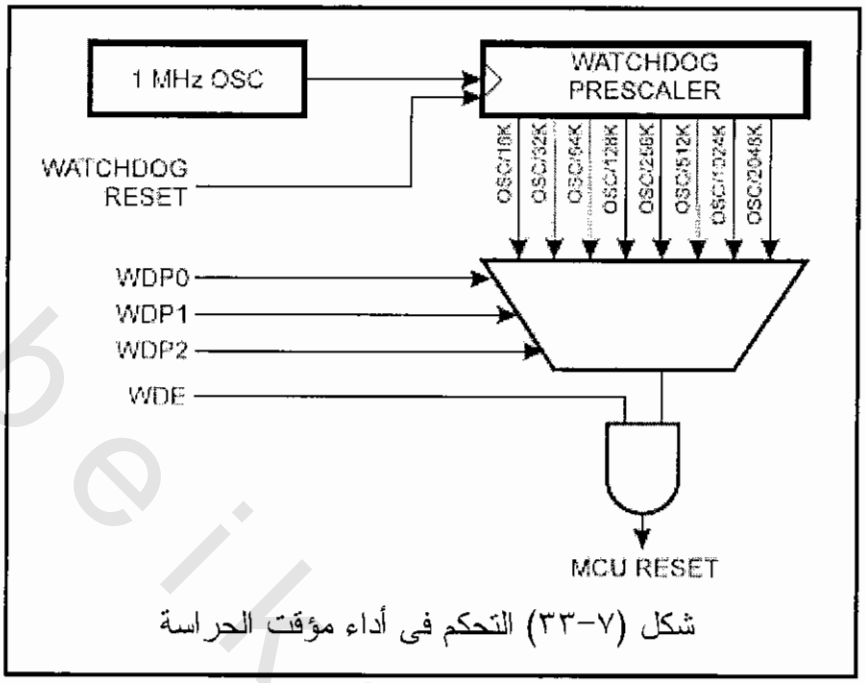
	15	14	13	12	11	10	9	8
ICR1H $25 ($45)	MSB							
ICR1L $24 ($44)								LSB
	7	6	5	4	3	2	1	0
Read/Write	R	R	R	R	R	R	R	R
	R	R	R	R	R	R	R	R
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

شكل (٧-٣٢) المسجل ICR1

٧-١٤ مؤقت الحراسة Watch Dog Timer

هذا المؤقت له نبضات تزامن داخلية خاصة به وترددها هو واحد ميجاهرتز . هناك قاسم لنبضات التزامن يمكن من خلاله اختيار واحد من ثمانية خيارات قسمة كما فى شكل (٧-٣٣) على حسب الشفرة الموجودة على البتات WDP0 و WDP1 و WDP2 الموجودة فى المسجل Watch Dog Timer Control Register, WDTCR الموضحة فى شكل (٧-٣٤) والتى سيأتى شرح لمحتوياتها فيما بعد . الأمر Watch dog reset, WDR يصفر محتويات مؤقت الحراسة . شكل (٧-٣٤) يبين محتويات مسجل التحكم فى أداء مؤقت الحراسة . وظيفة هذه البتات كما يلى :

- **البتات 0 و 1 و 2** تمثل خطوط الاختيار Select lines للمنتقى الذى سيتم عن طريقة اختيار واحد من الثمانية قواسم كما فى شكل (٧-٣٣) . جدول ٧-١٢ يبين أزمنة تأخير المؤقت المقابلة لكل قاسم .



شكل (٧-٣٣) التحكم فى أداء مؤقت الحراسة

WDTCR	7	6	5	4	3	2	1	0
$21 ($41)	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٣٤) مسجل التحكم فى أداء مؤقت الحراسة

جدول ٧-١٢

WDP2	WDP1	WDP0	Number of WDT Oscillator Cycles	Typical Time-out at V_{CC} = 3.0V	Typical Time-out at V_{CC} = 5.0V
0	0	0	16K cycles	47.0 ms	15.0 ms
0	0	1	32K cycles	94.0 ms	30.0 ms
0	1	0	64K cycles	0.19 s	60.0 ms
0	1	1	128K cycles	0.38 s	0.12 s
1	0	0	256K cycles	0.75 s	0.24 s
1	0	1	512K cycles	1.5 s	0.49 s
1	1	0	1,024K cycles	3.0 s	0.97 s
1	1	1	2,048K cycles	6.0 s	1.9 s

- **البت 3 WDE** بوضع هذه البت بصفر يتم إخماد مؤقت الحراسة ، وبوضعها بواحد يتم تنشيط المؤقت .

obeikandl.com

- البت 4 WDTOE توضع هذه البت بواحد عندما تكون البت WDE بواحد حتى يتم إخماد المؤقت وإلا فلن يتم إخماد المؤقت .
- باقى البتات غير مستخدمة .

٧-١٥ التعامل مع الذاكرة EEPROM

يحتوى المتحكم AT90S8515 على 512 بايت كل منها 8 بت من النوع الذى يمكن القراءة منه والكتابة فيه إلكترونيا EEPROM . هذه الذاكرة تعتبر ذاكرة بيانات يتم تسجيل الجداول أو البيانات المستديمة التى قد يحتاجها أى تطبيق . يتم التحكم فى إدارة هذه الذاكرة من خلال ثلاث مسجلات كما يلى :

- **مسجل العنونة EEAR** وهو مسجل 16 بت مستخدم منها 9 بتات فقط (تكفى لعنونة 512 بايت) كما فى شكل (٧-٣٥) . العنوان المراد التعامل معه فى هذه الذاكرة يتم وضعه فى هذا المسجل .

	15	14	13	12	11	10	9	8
EEARH S1F ($3F)	–	–	–	–	–	–	–	EEAR8
EEARL S1E ($3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0
	7	6	5	4	3	2	1	0
Read/Write	R	R	R	R	R	R	R	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

شكل (٧-٣٥) مسجل عنونة ذاكرة البيانات EEPROM

- **مسجل البيانات EEDR** وهو مسجل 8 بت كما فى شكل (٧-٣٦) توضع فيه البيانات المراد تسجيلها فى العنوان الموجود فى المسجل EEAR ، وأما فى حالة القراءة من هذه الذاكرة فالبيانات التى تم قراءتها من أى عنوان توضع فى هذا المسجل .

	7	6	5	4	3	2	1	0
EEDR S1D ($3D)	MSB							LSB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٣٦) مسجل البيانات للذاكرة EEPROM

obeikandl.com

- **مسجل التحكم EECR** وهو مسجل 8 بت مستخدم منه ثلاث بتات فقط والباقى غير مستخدم كما فى شكل (٧-٣٧) . وظيفة هذه البتات الثلاث هى كا يلى :

✓ **بت 2 EE Master Write Enable, EEMWE** لكى تتم عملية الكتابة فى هذه الذاكرة لابد أن تكون هذه البت بواحد . إذا كانت هذه البت بصفر فإن عملية الكتابة لن تتم حتى لو كانت البت EEWE بواحد أو فعالة . بعد الانتهاء من عملية الكتابة فإن المتحكم يضع هذه البت بصفر .

EECR	7	6	5	4	3	2	1	0
$1C ($3C)	-	-	-	-	-	EEMWE	EEWE	EERE
Read/Write	R	R	R	R	R	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٣٧) مسجل التحكم للذاكرة EEPROM

✓ **بت 1 EE Write Enable, EEWE** بعد وضع البت EEMWE=1 عن طريق المستخدم يقوم المستخدم بوضع البت EEWE=1 حتى تتم عملية الكتابة . لابد من اتباع الخطوات التالية حتى تتم عملية الكتابة بنجاح :

١. قبل البدأ فى عملية الكتابة لابد من التأكد أن البت EEWE=0 ، سواء فى أول عملية كتابة أو أنه تم الانتهاء من عملية كتابة وقام المتحكم بوضع البت EEWE=0 دلالة على الانتهاء من عملية الكتابة هذه .
٢. أكتب عنوان البايت الجديدة المراد التسجيل فيها فى المسجل EEAR .
٣. أكتب البيانات المراد تسجيلها فى هذه البايت فى المسجل EEDR .
٤. ضع البت EEMWE=1 فى مسجل التحكم .
٥. ضع البت EEWE=1 فى مسجل التحكم .

✓ **بت 0 EE Read Enable, EERE** بعد وضع عنوان البايت المراد قراءتها من هذه الذاكرة فى المسجل EEAR يقوم المستخدم بوضع البت EERE=1 لإتمام عملية القراءة . عملية القراءة تتم فى نبضة تزامن واحدة بعدها تجد البيانات التى تم قراءتها فى المسجل EEDR . بعد عملية القراءة يقوم المتحكم بوضع البت EERE=0 تمهيدا لعملية القراءة التالية . عملية القراءة التالية يمكن أن تتم فورا دون الحاجة لاختبار البت EERE هل هى صفر أم لا لأن عملية القراءة كما رأينا تتم فى نبضة تزامن واحدة ومحددة وليست مثل عملية الكتابة .

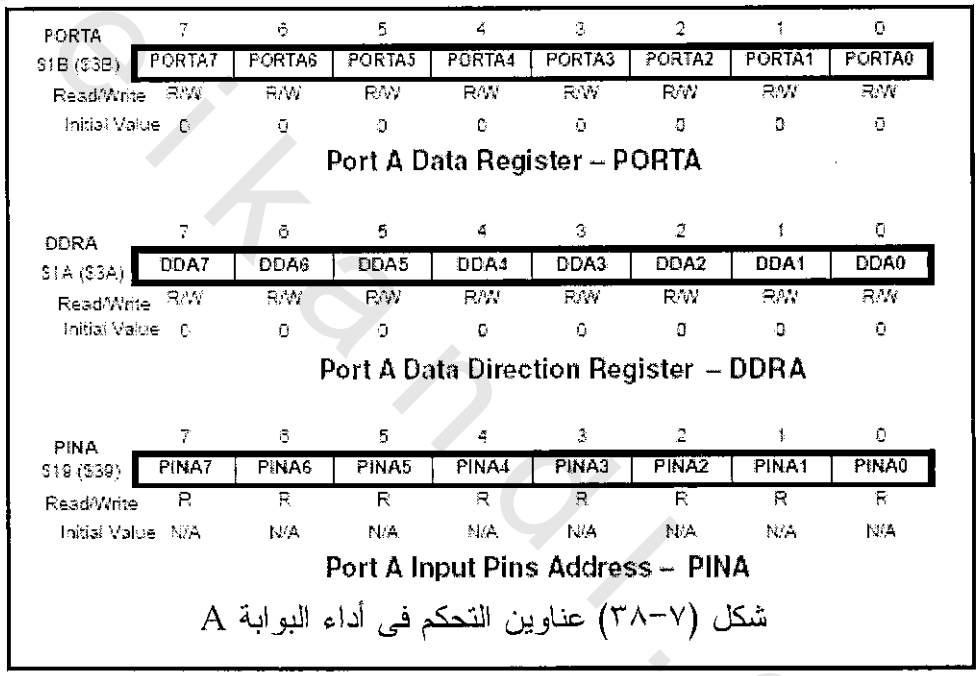
obeikandl.com

٧-١٦ إدخال وإخراج البيانات I/O Interfacing

يحتوى المتحكم AT90S8515 على أربع بوابات يمكن توظيف كل طرف من أطراف أى واحدة منهم كخط إدخال أو إخراج كما سنرى عند دراسة كل بوابة على حدة كما يلى :

٧-١٦-١ البوابة Port A

يمكن لهذه البوابة أن تبتلع sink تيار حتى 20 ميللى أمبير بحيث يمكن استخدامه لإدارة مظهرات LEDS . يتم التحكم فى أداء هذه البوابة باستخدام الثلاث عناوين التالية كما فى شكل (٧-٣٨) .



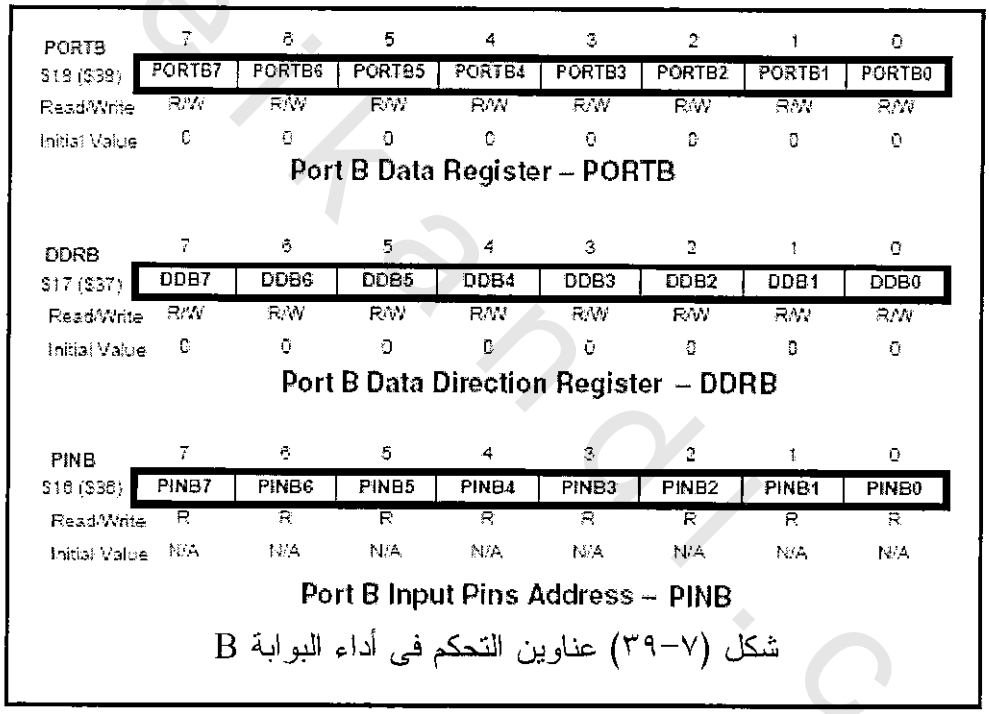
شكل (٧-٣٨) عناوين التحكم فى أداء البوابة A

- **العنوان الأول $1B($3B)** ويمثل مسجل بيانات هذه البوابة Port A Data Register, PORTA وهو بمثابة ماسك Latch لمحتويات البوابة .
- **العنوان الثانى $1A($3A)** وهو مسجل التحكم فى اتجاه البوابة A هل نريدها بوابة إدخال أو إخراج . بوضع صفر فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة A المقابل له سيكون طرف دخل ، وبوضع واحد فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة A المقابل له سيكون طرف خرج .
- **العنوان الثالث $19($39)** هذا العنوان لا يمثل عنوان مسجل داخل المتحكم ولكنه عنوان أطراف البوابة A نفسها حيث القراءة من هذا العنوان ستكوت قراءة من أطراف البوابة مباشرة ، مع العلم أنه لا يمكن الكتابة فى أطراف البوابة مباشرة

ولكن تتم الكتابة فى ماسك البوابة أولا ومنها لأطراف البوابة ، أى أنها أطـــراف قراءة فقط .
أطراف هذه البوابة لها وظيفة بديلة وهى أنهـــا تحمـــل إشـــارة أول 8 بـــت مـــن العناوين/البيانات عند التعامل مع ذاكرة استاتيكية خارجية . أنظر شكل (٧-١) الذى يبين أطراف شريحة المتحكم .

٧-١٦-٢ البوابة Port B

يمكن لهذه البوابة أن تبتلع sink تيار حتى 20 ميللى أمبير بحيث يمكـــن اســـتخدامه لإدارة مظهرات LEDS . يتم التحكم فى أداء هذه البوابة باستخدام الثلاث عنـــاوين التالية كما فى شكل (٧-٣٩) .



شكل (٧-٣٩) عناوين التحكم فى أداء البوابة B

- **العنوان الأول $18($38)** ويمثل مسجل بيانات هذه البوابة Port B Data Register, PORTB وهو بمثابة ماسك Latch لمحتويات البوابة .
- **العنوان الثانى $17($37)** وهو مسجل التحكم فى اتجاه البوابة B هل نريدها بوابة إدخال أو إخراج . بوضع صفر فى أى بت من بتات مسجل الاتجاه فـــإن طـــرف البوابة B المقابل له سيكون طرف دخل ، وبوضع واحد فى أى بت مـــن بتـــات مسجل الاتجاه فإن طرف البوابة B المقابل له سيكون طرف خرج .

obeikandl.com

- **العنوان الثالث $16($36)** هذا العنوان لا يمثل عنوان مسجل داخل المتحكم ولكنه عنوان أطراف البوابة B نفسها حيث القراءة من هذا العنوان ستكوت قراءة من أطراف البوابة مباشرة ، مع العلم أنه لا يمكن الكتابة فى أطراف البوابة مباشرة ولكن تتم الكتابة فى ماسك البوابة أولا ومنها لأطراف البوابة ، أى أنها أطراف قراءة فقط .

أطراف هذه البوابة لها وظيفة بديلة وهى أنها تحمل إشارات تحكم مختلفة كما فى جدول ٧-١٣. الوظيفة البديلة للطرفين PB0 و PB1 تم الحديث عنهما فى معرض الكلام عن المؤقتات . الوظيفة البديلة لباقى الأطراف سيأتى الحديث عنها فى حينه .

جدول ٧-١٣

Port Pin	Alternate Functions
PB0	T0 (Timer/Counter 0 External Counter Input)
PB1	T1 (Timer/Counter 1 External Counter Input)
PB2	AIN0 (Analog Comparator positive input)
PB3	AIN1 (Analog Comparator negative input)
PB4	$\overline{SS}$ (SPI Slave Select Input)
PB5	MOSI (SPI Bus Master Output/Slave Input)
PB6	MISO (SPI Bus Master Input/Slave Output)
PB7	SCK (SPI Bus Serial Clock)

٧-١٦-٣ البوابة Port C

يمكن لهذه البوابة أن تبتلع sink تيار حتى 20 ميللى أمبير بحيث يمكن استخدامه لإدارة مظهرات LEDS . يتم التحكم فى أداء هذه البوابة باستخدام الثلاث عناوين التالية كما فى شكل (٧-٤٠) .

- **العنوان الأول $15($35)** ويمثل مسجل بيانات هذه البوابة Port C Data Register, PORTC وهو بمثابة ماسك Latch لمحتويات البوابة .
- **العنوان الثانى $14($34)** وهو مسجل التحكم فى اتجاه البوابة C هل نريدها بوابة إدخال أو إخراج . بوضع صفر فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة C المقابل له سيكون طرف دخل ، وبوضع واحد فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة C المقابل له سيكون طرف خرج .
- **العنوان الثالث $13($33)** هذا العنوان لا يمثل عنوان مسجل داخل المتحكم ولكنه عنوان أطراف البوابة C نفسها حيث القراءة من هذا العنوان ستكوت قراءة من أطراف البوابة مباشرة ، مع العلم أنه لا يمكن الكتابة فى أطراف البوابة مباشرة ولكن تتم الكتابة فى ماسك البوابة أولا ومنها لأطراف البوابة ، أى أنها أطراف قراءة فقط .

أطراف هذه البوابة لها وظيفة بديلة وهى أنها تحمل إشارات النصف الثانى من مسار العناوين عند التعامل مع ذاكرة استاتيكية خارجية .

PORTC $15 ($35)	7	6	5	4	3	2	1	0
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

Port C Data Register – PORTC

DDRC $14 ($34)	7	6	5	4	3	2	1	0
	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

Port C Data Direction Register – DDRC

PINC $13 ($33)	7	6	5	4	3	2	1	0
	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
Read/Write	R	R	R	R	R	R	R	R
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A

Port C Input Pins Address – PINC

شكل (٧-٤٠) عناوين التحكم فى أداء البوابة C

٧-١٠-٤ البوابة Port D

يمكن لهذه البوابة أن تبتلع sink تيار حتى 20 ميللى أمبير بحيث يمكن استخدامه لإدارة مظهرات LEDS . يتم التحكم فى أداء هذه البوابة باستخدام الثلاث عناوين التالية كما فى شكل (٧-٤١) .

- **العنوان الأول $12($32)** ويمثل مسجل بيانات هذه البوابة Port D Data Register, PORTD وهو بمثابة ماسك Latch لمحتويات البوابة .
- **العنوان الثانى $11($31)** وهو مسجل التحكم فى اتجاه البوابة C هل نريدها بوابة إدخال أو إخراج . بوضع صفر فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة D المقابل له سيكون طرف دخل ، وبوضع واحد فى أى بت من بتات مسجل الاتجاه فإن طرف البوابة D المقابل له سيكون طرف خرج .
- **العنوان الثالث $10($30)** هذا العنوان لا يمثل عنوان مسجل داخل المتحكم ولكنه عنوان أطراف البوابة D نفسها حيث القراءة من هذا العنوان ستكون قراءة من أطراف البوابة مباشرة ، مع العلم أنه لا يمكن الكتابة فى أطراف البوابة مباشرة ولكن تتم الكتابة فى ماسك البوابة أولا ومنها لأطراف البوابة ، أى أنها أطراف قراءة فقط .

PORTD $12 ($32)	7	6	5	4	3	2	1	0
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

Port D Data Register – PORTD

DDRD $11 ($31)	7	6	5	4	3	2	1	0
	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

Port D Data Direction Register – DDRD

PIND $10 ($30)	7	6	5	4	3	2	1	0
	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
Read/Write	R	R	R	R	R	R	R	R
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A

Port D Input Pins Address – PIND

شكل (٧–٤١) عناوين التحكم فى أداء البوابة D

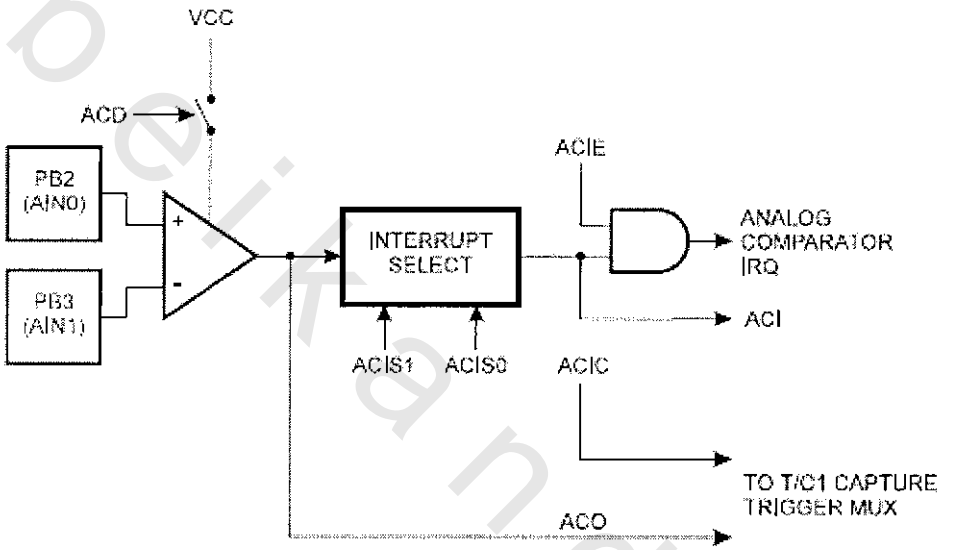
جدول ٧–١٤

Port Pin	Alternate Function
PD0	RXD (UART Input Line)
PD1	TXD (UART Output Line)
PD2	INT0 (External interrupt 0 Input)
PD3	INT1 (External interrupt 1 Input)
PD5	OC1A (Timer/Counter1 Output CompareA Match Output)
PD6	$\overline{WR}$ (Write Strobe to External Memory)
PD7	$\overline{RD}$ (Read Strobe to External Memory)

أطراف هذه البوابة لها وظيفة بديلة وهى أنها تحمل إشارات تحكم مختلفة كما فى جدول ٧–١٤. الوظيفة البديلة للطرفين PD2 و PD3 تم الحديث عنهما فى معرض الكلام عن المقاطعة والطرف PD5 تم الكلام عنه فى معرض الكلام عن المؤقتات . الوظيفة البديلة لباقى الأطراف سيأتى الحديث عنها فى حينه على حسب الوظيفة البديلة لكل طرف .

٧-١٧ المقارن الانسيابى Analog Comparator

هناك دخلان لهذا المقارن ، أحدهما موصل على الطرف الموجب من ناحية وعلى الطرف رقم 2 للبوابة B (PB2) من الناحية الأخرى ويسمى AIN0 كما هو موضح فى شكل (٧-٤٢) . الدخل الثانى للمقارن موصل على الطرف السالب للمقارن من ناحية وعلى طرف البوابة B رقم 3 (PB3) من الناحية الأخرى وهذا الطرف يسمى AIN1 كما فى الشكل . خرج المقارن يصبح واحد إذا كان دخله الموجب أكبر من دخله السالب ، ويصبح صفرا فى غير ذلك .



شكل (٧-٤٢) المقارن الانسيابى Analog Comparator

يمكن التحكم فى أداء هذا المقارن من خلال التعامل مع محتويات مسجل تحكم خاص بذلك سيتم شرح محتوياته فى الجزء التالى بحيث يمكننا أن نجعل خرج المقارن يقاطع المتحكم أو يعطى نبضة للمؤقت .

١-١٧-٧ مسجل التحكم والحالة للمقارن الانسيابى ACSR

هذا المسجل يتكون من 8 بتات مستخدم منها ٧ فقط كما فى شكل (٧-٤٣) . نقدم هنا بيان لوظيفة كل واحدة من هذه البتات كالتالى :

- **بت 7 Analog Comparator Disable, ACD** هذه البت كما فى شكل (٧-٤٢) بمثابة مفتاح يوصل القدرة للمقارن عندما تكون البت ACD=0 ، ويفصل القدرة عنه بحيث يتم إخماده تماما فلا يعمل عندما تكون البت ACD=1 .

obeikandl.com

- بت **Analog Comparator Output, ACO 5** هذه البت موصلة مباشرة على خرج المقارن بحيث تكون واحد أو صفر تبعا لنتيجة المقارنة .
- بت Analog Comparator Interrupt flag, ACI 4 هذا العلم يصبح واحد عندما يبدأ المتحكم فى تنفيذ أى مقاطعة بحيث ينتقل المتحكم إلى العنوان $00C عندما يكون هذا العلم بواحد والبت ACIE=1 والعلم I=1 فى مسجل الحالة .
- بت Analog Comparator Interrupt Enable, ACIE 3 بت تنشيط المقاطعة من المقارن الانسيابى بحيث أن المقاطعة لن تقبل إلا إذا كانت البت ACIE=1 ، أما إذا كانت البت ACIE=0 فإن هذه المقاطعة تكون مخمدة ولن تقبل .
- بت Analog Comparator Input Capture Enable, ACIC 2 عندما تكون هذه البت بواحد فإن عملية مسك محتويات المؤقت T1 ووضعها فى المسجل ICR يتم تنشيطها أو ربطها مع خرج المقارن الانسيابى . فى هذه الحالة لابد أن تكون البت TICIE1=1 فى المسجل TIMSK كما أشرنا سابقا .
- البتات Analog Comparator Interrupt Mode, ACIS1, ACIS0 1,0 هذه البتات تحدد طريقة عمل modes المقاطعة من المقارن الانسيابى بحيث يمكن اختيار واحد من ثلاثة طرق كما فى الجدول ٧-١٥ . عند تغيير محتويات هذه البتات لابد من إخماد المقاطعة عن طريق وضع البت ACIE=0 وإلا فإنه من الممكن أن تحدث أى مقاطعة غير مرغوبة فى أثناء تغيير محتويات هذه البتات .

ACSR	7	6	5	4	3	2	1	0
$08 ($28)	ACD	–	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	N/A	0	0	0	0	0

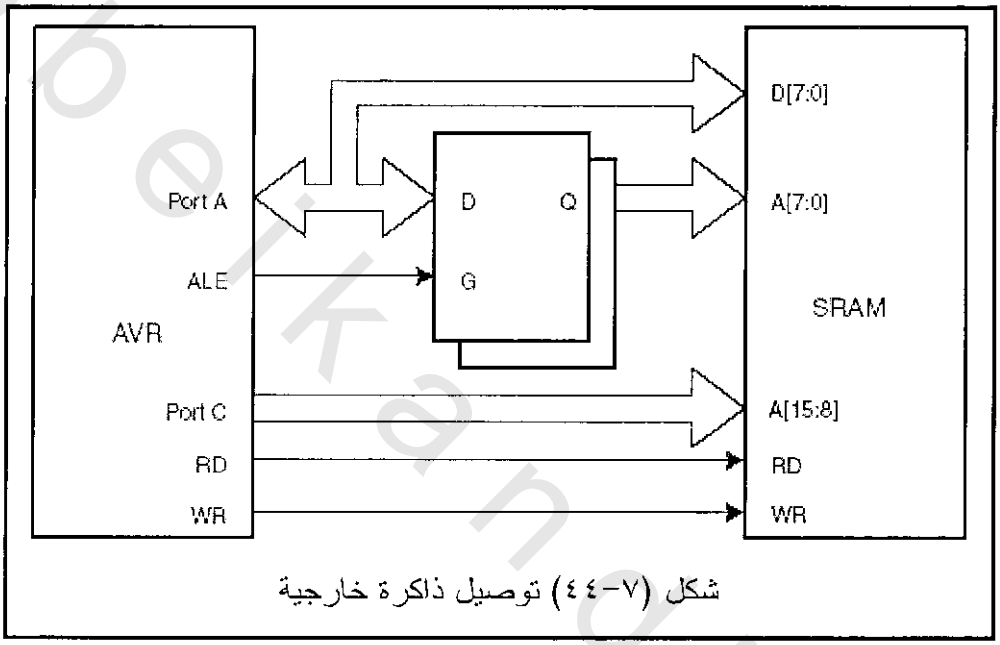
شكل (٧-٤٣) مسجل التحكم والحالة للمقارن الانسيابى

جدول ٧-١٥

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge
1	1	Comparator Interrupt on Rising Output Edge

٧-١٨ توصيل ذاكرة استاتيكية خارجية
Interfacing With External Static RAM

شكل (٧-٤٤) يبين رسما تخطيطيا لطريقة توصيل ذاكرة استاتيكية خارجية على المتحكم AT90S8515 . نلاحظ من هذا الشكل أن عملية التوصيل تمت باستخدام الأطراف التالية :



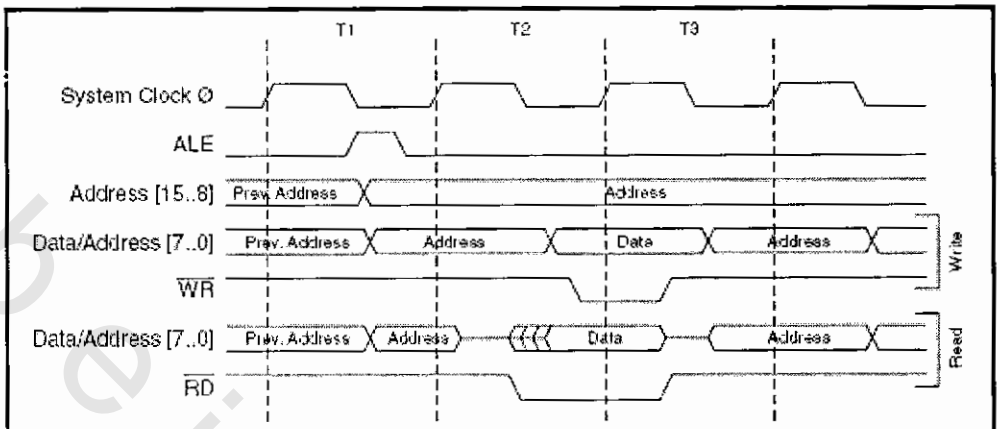
شكل (٧-٤٤) توصيل ذاكرة خارجية

- أطراف البوابة A وهى تمثل إشارة النصف الأول من مسار العناوين A0-A7 مع إشارة البيانات D0-D7 .
- أطراف البوابة C وهى إشارة النصف الأعلى من مسار العناوين A8-A15 .
- الطرف Address Latch Enable, ALE .
- الطرفان $\overline{RD}$ و $\overline{WR}$ وكل منهما نشط عندما يكون صفرا .

فى شكل (٧-٤٤) تم استخدام ماسك Latch بحيث أنه عند نزول الطرف ALE من واحد لصفر فإن الإشارة على البوابة A تكون عناوين فى هذه اللحظة ويتم مسكها على خرج الماسك الموصل على خطوط النصف الأدنى من مسار العناوين فى شريحة الذاكرة . عندما يكون الطرف ALE=0 فإن الإشارة على خطوط البوابة A تكون إشارة بيانات ، ولذلك تم توصيلها مباشرة على خطوط البيانات فى شريحة

obeikandl.com

الذاكرة . فى هذه الأثناء (ALE=0) فإن الخط $\overline{RD}$ أو الخط $\overline{WR}$ يكون فعال على حسب اتجاه البيانات . شكل ٧-٤٥) يبين التزامن بين هذه الأطراف كلها .



شكل (٧-٤٥) التزامن على خطوط التوصيل مع الذاكرة الخارجية

٧-١٩ البيانات التتابعية Serial Peripheral Interface, SPI

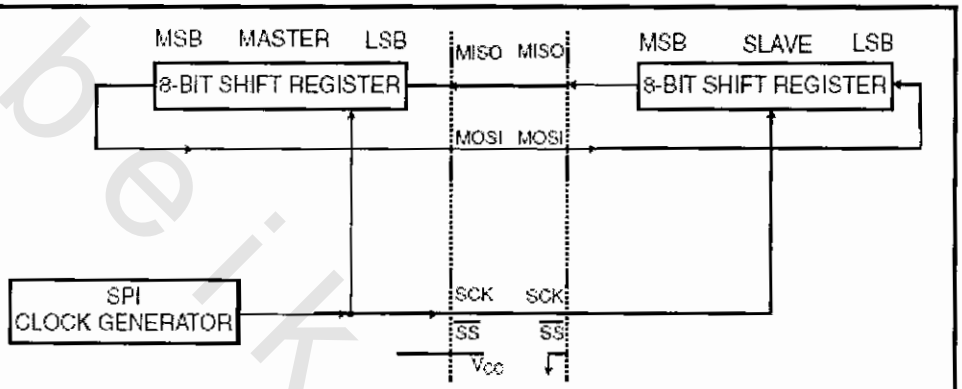
يمكن نقل البيانات تتابعيا بين شريحة المتحكم AT90S8515 ومثيلاتها ، أو بينها وبين أى جهاز خارجى يتعامل مع البيانات التتابعية مثل حاسب مثلا من خلال المخرج التتابعى . من الخواص المهمة لهذا المتحكم عندما يتعامل تتابعيا ما يلى :

- نقل البيانات توافقيا على ثلاثة أسلاك 3 wires synchronous transfer, full duplex.
- يمكن للمتحكم أن يكون هو الأستاذ Master (مصدر نبضات التزامن والمهيمن على عملية التراسل) ، أو يكون تابع Slave .
- هناك إمكانية لإرسال البت ذات القيمة الأدنى LSB أولا ويتبعها باقى البتات ، أو إرسال البت ذات القيمة العظمى MSB أولا .
- هناك أربع معدلات إرسال Boud rates يمكن الخيار منها .
- هناك علم يصبح واحد عند نهاية إرسال أى بايت End of transmission flag يمكن استخدامه لمقاطعة المتحكم .
- علم يبين حدوث تصادم للبيانات Master write collision flag
- الاستيقاظ من حالة النوم Idle إذا كان المتحكم هو الاستاذ .

تتم عملية تبادل البيانات بين المتحكم وأى جهاز خارجى كما فى شكل (٧-٤٦) من خلال أربعة أطراف مشتركة مع أطراف البوابة B وهى كما يلى :

- الطرف Master Input/Slave Output, MISO وهو طرف إدخال البيانات لشريحة الاستاذ وإخراج البيانات من شريحة التابع . هذا الطرف مشترك مع الطرف PB6.

- الطرف Master Output/Slave Input, MOSI وهو طرف إخراج البيانات من شريحة الاستاذ وإدخال البيانات إلى شريحة التابع . هذا الطرف مشترك مع الطرف PB5 .
- الطرف Serial Clock, SCK وهو طرف إخراج نبضات التزامن من شريحة الاستاذ التى تكون دائما هى المصدر لهذه النبضات . هذا الطرف مشترك مع الطرف PB7 .



شكل (٧-٤٦) نقل البيانات تتابعيا بين شريحة استاذ وشريحة تابع

- الطرف Slave Select, $\overline{SS}$ وهو مشترك مع الطرف PB4 ويمكن عن طريقة تشغيل الشريحة كأستاذ بوضعه يساوى واحد أو تشغيلها كتابع بوضعه بصفر .

عند تحميل بيانات فى مسجل البيانات التتابعية Data Register لشريحة الاستاذ فإنها تنشط وتبدأ فى إخراج نبضات تزامن بالمعدل المطلوب على الطرف SCK الموصل بدوره على نفس الطرف المناظر لشريحة التابع كما فى شكل (٧-٤٦) . بعد ذلك تبدا شريحة الاستاذ فى إزاحة البيانات تتابعيا على الطرف MOSI الموصل على نظيره فى شريحة التابع . بعد إزاحة بايت كاملة (٨ بت) تتوقف نبضات التزامن وتجعل علم نهاية الإرسال SPIF=1 دلالة على نهاية إرسال بايت كاملة . يمكن فى هذه الحالة مقاطعة المتحكم ليذهب إلى العنوان $008 فى متجه المقاطعة . لاحظ فى شكل (٧-٤٦) أن الطرف $\overline{SS}$ موصلا على الأرضى فى شريحة التابع وعلى Vcc فى شريحة الاستاذ .

يتم التحكم فى عملية التراسل التتابعى من خلال ثلاثة مسجلات كما يلى :

٧-١٩-١ مسجل بيانات التراسل التتابعى SPI Data Register, SPDR

مسجل قراءة وكتابة توضع به البيانات المراد إرسالها تتابعيا بمجرد وضعها فيه حيث تنتقل هذه البيانات إلى مسجل الإزاحة الذى يقوم بإزاحتها تتابعيا وإخراجها

على الطرف MOSI . قراءة المسجل يقرأ محتويات مسجل الإزاحة الذى يحتوى البيانات التى تم استقبالها . شكل (٧-٤٧) يبين هذا المسجل .

SPDR	7	6	5	4	3	2	1	0
SDF ($2F)	MSB							LSB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	x	x	x	x	x	x	x	x

x: Undefined

شكل (٧-٤٧) مسجل بيانات التراسل التتابعى

٧-١٩-٢ مسجل تحكم التراسل التتابعى SPI Control Register, SPCR

هذا المسجل يحتوى مجموعة من البتات التى تتحكم فى أداء عملية التراسل التتابعى كما فى شكل (٧-٤٨) وهذه البتات سنقدم شرحا لوظيفة كل منها فيما يلى :

- **البت 7 SPIE**, SPI Interrupt Enable نضع هذه البت بواحد حتى أنه عندما يكون علم الانتهاء من التراسل SPIF بواحد فإنه سيتم مقاطعة المتحكم ويذهب إلى العنوان $008 كما ذكرنا . لابد أن يكون علم تنشيط المقاطعة العام I=1 حتى تتم هذه المقاطعة .
- **البت 6 SPE**, SPI Enable لكى تبدأ عملية التراسل التتابعى لابد أن تكون هذه البت بواحد . أى أنها بمثابة منشط لعملية التراسل التتابعى .
- **البت 5 DORD**, Data Order بوضع هذه البت بواحد فإن المتحكم يبدأ بإرسال البت ذات القيمة الأدنى LSB أولا ، وإذا كانت بصفر فإنه يبدأ بإرسال البت ذات القيمة العظمى MSB أولا .

SPCR	7	6	5	4	3	2	1	0
$2D ($2D)	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٤٨) مسجل تحكم التراسل التتابعى SPCR

- **البت 4 MSTR**, Master Slave Select بوضع هذه البت بواحد فإن المتحكم سيكون استاذ Master ، وبوضعها بصفر فإن المتحكم سيكون تابع Slave . لاحظ أنه بوضع الطرف $\overline{SS}$ (كطرف دخل من أطراف البوابة B) بصفر فإنه سيجعل البت MSTR=0 بالرغم من أنها قد تكون تم وضعها بواحد لجعل الشريحة تعمل

كاستاذ . لذلك لابد للمستخدم من إعادة وضع واحد فى هذه البت مرة ثانية لإعادتها لحالة الاستاذ التى كانت عليها .

- **البت 3 CPOL**, Clock Polarity بوضع هذه البت بواحد فإن طرف نبضات التزامن SCK سيكون واحد عندما يكون المتحكم فى حالة النوم Idle ، وبوضعها بصفر فإن الطرف SCK سيكون بصفر عندما يكون المتحكم Idle .
- **البت 2 CPHA**, Clock Phase بوضع هذه البت بواحد فإن عملية الإزاحة تتم مع الحافة الصاعدة لنبضة التزامن على الطرف SCK ، وبوضعها بصفر فإن الإزاحة تتم مع الحافة النازلة لنبضة التزامن .
- **البتات 1,0 SPR1, SPR0**, Clock Rate select هذه البتات تتحكم فى معدل نبضات التزامن كنسبة من تردد مذبذب الشريحة كما فى جدول ٧-١٦ . إذا كانت شريحة المتحكم تعمل كتابع فإن هذه البتات لن يكون لها أى تأثير .

جدول ٧-١٦

SPR1	SPR0	SCK Frequency
0	0	$f_{osc}/4$
0	1	$f_{osc}/16$
1	0	$f_{osc}/64$
1	1	$f_{osc}/128$

٧-١٩-٣ مسجل حالة التراسل التتابعى SPI Status Register, SPSR

مسجل ٨ بت مستخدم منه اثنان فقط وباقى البتات غير مستخدمة كما فى شكل (٧-٤٩) . بتات المسجل هى كما يلى :

SPSR	7	6	5	4	3	2	1	0
SPE (S2E)	SPIF	WCOL	–	–	–	–	–	–
Read/Write	R	R	R	R	R	R	R	R
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٤٩) مسجل حالة التراسل التتابعى SPSR

- **البت 7 SPIF**, SPI Interrupt Flag عند اكتمال إرسال بايت كاملة (٨ بت) يضع المتحكم هذا العلم بواحد وتتم مقاطعة المعالج إذا كانت البت SPIE=1 فى مسجل التحكم والبت I=0 فى مسجل تنشيط المقاطعة العام . يقوم المتحكم بتصفير هذا العلم بمجرد الدخول فى برنامج خدمة المقاطعة .

- **البت WCOL 6** Write Collision Flag, هذه البت توضع بواحد بواسطة المتحكم إذا تم كتابة بيانات فى مسجل البيانات SPDR فى أثناء انشغال المتحكم بعملية إرسال .

٢٠-٧ شريحة التراسل التتابعى اللاتوافقى العامة
Universal Asynchronous Receiver and Transmitter UART

لقد رأينا فى الجزء السابق عملية التراسل التوافقى synchronous بين المتحكم AT90S8515 وأى جهاز آخر . يقصد بالتراسل التوافقى هنا أن عملية التراسل تتم بالتوافق مع نبضات تزامن clock يكون مصدرها هو المتحكم الذى يعمل كأستاذ لعملية التراسل .

فى التراسل اللاتوافقى asynchronous لا يكون هناك نبضات تزامن ، ولكن البيانات يتم إرسالها واستقبالها لاتوافقيا . لذلك فى هذا النوع من التراسل يتم إضافة بتات تحدد بداية start bit ونهاية stop bit البايت المراد إرسالها . تقوم الشريحة UART بمهمة استقبال البيانات المتوازية من المتحكم أو أى مصدر آخر وتحويلها إلى بيانات متتالية على خط خرج واحد بعد إضافة بتات البداية والنهاية إليها . كما أنها يمكنها أن تستقبل بيانات متتالية من أى مصدر خارجى على أحد أطرافها وتحويلها إلى الصورة المتوازية تمهيدا لقراءتها بالمتحكم . المتحكم AT90S8515 يحتوى واحدة من هذه الشرائح تقوم بمهمة هذا النوع من التراسل بين المتحكم والأجهزة الخارجية.

تتميز هذه العملية بما يلى :

- إمكانية إرسال أو استقبال بيانات من ٨ أو ٩ بتات .
- معدلات كثيرة للإرسال والاستقبال .
- ثلاثة أنواع من المقاطعة الملحقة بهذا النوع من التراسل وهى كما يلى :

١. مقاطعة نهاية إرسال البيانات Tx complete حيث يذهب المتحكم إلى العنوان $00B .
٢. مقاطعة دلالة أن مسجل إرسال البيانات فارغ TX data register empty حيث يذهب المتحكم إلى العنوان $00A .
٣. مقاطعة نهاية استقبال بيانات RX complete حيث يذهب المتحكم إلى العنوان $009 .

تتم عملية التراسل من هذا النوع من خلال طرفين من أطراف شريحة المتحكم وهذان الطرفان هما :

- الطرف Rx(PD0) وهو طرف استقبال البيانات المتتالية وهو مشترك مع طرف البوابة PD0 وهو الطرف رقم ١٠ فى الشريحة .
- الطرف Tx(PD1) وهو طرف ارسال البيانات المتتالية الخارجة من شريحة المتحكم وهو مشترك مع طرف البوابة PD1 وهو الطرف رقم 11 فى الشريحة .

يتم التحكم فى عملية التراسل من هذا النوع من خلال ثلاثة مسجلات كالتالى :

٧-٢٠-١ مسجل البيانات UART I/O Data Register, UDR

هذا المسجل هو فى الحقيقة مسجلان لهما نفس العنوان ، المسجل الأول يحتوى البيانات المراد إرسالها قبل أن يتم نقلها إلى مسجل الإزاحة الذى يزيحها على التوالى على الطرف TX ، والمسجل الثانى يحتوى البيانات التى تم استقبالها من على الطرف RX بعد نقلها من مسجل الإزاحة تمهيدا لقراءتها عن طريق المتحكم . شكل (٧-٥٠) يبين هذا المسجل .

UDR	7	6	5	4	3	2	1	0
SCC (S2C)	MSB							LSB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٥٠) مسجل بيانات التراسل اللاتوفقى UDR

٧-٢٠-٢ مسجل حالة التراسل اللاتوافقى UART Status Register, USR

وهذا المسجل يحتوى مجموعة من الأعلام التى تعكس حالة عملية التراسل كما فى شكل (٧-٥١) :

- **البت RXC 7**, UART Receive Complete هذا العلم يضعه المتحكم بواحد عند اكتمال استقبال حرف (بايت من ٨ أو ٩ بت) ونقله من مسجل الإزاحة إلى مسجل البيانات UDR تمهيدا لقراءته . بمجرد قراءة المسجل UDR فإن العلم RXC يصبح صفرا مرة أخرى .

USR	7	6	5	4	3	2	1	0
SCB (S2B)	RXC	TXC	UDRE	FE	OR	–	–	–
Read/Write	R	R/W	R	R	R	R	R	R
Initial Value	0	0	1	0	0	0	0	0

شكل (٧-٥٠) مسجل حالة التراسل اللاتوافقى USR

- **البت TXC 6**, UART Transmit Complete هذا العلم يضعه المتحكم بواحد عند الانتهاء من إرسال حرف كامل بما فى ذلك بت نهاية الإرسال stop bit . كتابة حرف جديد فى مسجل البيانات UDR يصفر هذا العلم .

- **البت 5 UDRE**, UART Data Register Empty هذا العلم يصبح واحد عند نقل حرف من مسجل البيانات UDR إلى مسجل الإزاحة التتابعية ، وهذا يعنى أن مسجل البيانات أصبح جاهزا لاستقبال حرف جديد .
- **البت 4 FE**, Framing Error من المعروف أن بت نهاية إرسال الحرف stop bit تكون دائما واحد ، فإذا تم استقبالها ووجد أنها صفر فإن العلم FE=1 دلالة على خطأ فى تحديد نهاية الحرف الذى تم استقباله .
- **البت 3 OR**, Overrun إذا تم استقبال حرف جديد فى مسجل الإزاحة ومازال الحرف الحالى الموجود فى مسجل البيانات UDR لم تتم قراءته فإن هذا العلم يصبح واحد دلالة على أن الحرف الجديد سيكتب فوق الحرف الحالى . هذا العلم يتم تصفيره بمجرد قراءة مسجل البيانات .
- باقى بتات هذا المسجل غير مستخدمة .

٧-٢٠-٣ مسجل تحكم التراسل اللاتوافقى UART Control Register, UCR

يحتوى هذا المسجل على مجموعة من البتات يمكن بها تنشيط أو إخماد عمليات الاستقبال أو الإرسال . شكل (٧-٥٢) يبين هذا المسجل وهو يتكون من ٨ بتات كلها مستخدمة كما يلى :

- **البت 7 RXCIE**, Rx Compete Interrupt Enable توضع هذه البت بواحد عن طريق المستخدم لتنشيط المقاطعة عند اكتمال استقبال حرف ، بحيث عندما يصبح العلم RXC=1 والعلم I=1 فإن المتحكم سيقفز إلى العنوان $009 .
- **البت 6 TXCIE**, Tx Complete Interrupt Enable توضع هذه البت بواحد عن طريق المستخدم لتنشيط المقاطعة عند اكتمال ارسال حرف ، بحيث عندما يصبح العلم TXC=1 والعلم I=1 فإن المتحكم سيقفز إلى العنوان $00B .
- **البت 5 UDRIE**, UART Data Register Empty Interrupt Enable توضع هذه البت بواحد عن طريق المستخدم لتنشيط المقاطعة عندما يكون مسجل البيانات UDR فارغ ، بحيث عندما يصبح العلم UDRE=1 والعلم I=1 فإن المتحكم سيقفز إلى العنوان $00A .

UCR	7	6	5	4	3	2	1	0
$0A ($2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	W
Initial Value	0	0	0	0	0	0	1	0

شكل (٧-٥٢) مسجل تحكم التراسل اللاتوافقى UCR

- **البت 4 RXEN**, Receiver Enable بوضع هذه البت بواحد يتم تنشيط عملية استقبال البيانات ، وبوضعها بصفر يتم إخماد أو توقيف عملية الاستقبال .
- **البت 3 TXEN**, Transmitter Enable بوضع هذه البت بواحد يتم تنشيط عملية ارسال البيانات ، وبوضعها بصفر يتم إخماد أو توقيف عملية الارسال .

- **البت 2 CHR9** 9 bit character بوضع هذه البت بواحد يتم إرسال أو استقبال بيانات مكونة من 9 بت بدلا من 8 وهذا بالطبع بالإضافة إلى بتات البداية والنهاية.
- **البت 1 RXB8**, Receive Data bit 8 فى أثناء عملية الاستقبال وعندما تكون البت CHR9=1 ، أى أنه سيتم استقبال بيانات من ٩ بت ، فإن البت التاسعة تكون هى البت RXB8 .
- **البت 0 TXB8**, Transmit Data bit 8 فى أثناء عملية الارسال وعندما تكون البت CHR9=1 ، أى أنه سيتم إرسال بيانات من ٩ بت ، فإن البت التاسعة تكون هى البت TXB8 .

٧-٢٠-٤ معدلات التراسل Baud Rates

يمكن الحصول على معدلات عديدة للتراسل ، وكلها نسبة من نبضات التزامن الأساسية للمتحكم وتعطى بالمعادلة التالية :

$$Baud = \frac{f_{ck}}{16\ (UBRR + 1)}$$

حيث Baud هو معدل التراسل الناتج

f_{ck} معدل نبضات تزامن المتحكم الناتج من البللورة المستخدمة

UBRR هو القيمة الموجودة فى المسجل UBRR وهى تتراوح بين صفر و ٢٥٥.

شكل (٧-٥٣) يبين المسجل UBRR وجدول ٧-١٧ يبين القيمة المفروض وضعها فى هذا المسجل للحصول على معدلات التراسل المبينة عند قيم مختلفة وقياسية لترددات البللورة المستخدمة .

UBRR	7	6	5	4	3	2	1	0
$29 ($29)	MSB							LSB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

شكل (٧-٥٣) مسجل التحكم فى معدلات التراسل UBRR

جدول ٧-١٧

Baud Rate	7.3728 MHz		%Error	8 MHz		%Error	9.216 MHz		%Error	11.059 MHz		%Error
2400	UBRR=	191	0.0	UBRR=	207	0.2	UBRR=	239	0.0	UBRR=	287	-
4800	UBRR=	95	0.0	UBRR=	103	0.2	UBRR=	119	0.0	UBRR=	143	0.0
9600	UBRR=	47	0.0	UBRR=	51	0.2	UBRR=	59	0.0	UBRR=	71	0.0
14400	UBRR=	31	0.0	UBRR=	34	0.8	UBRR=	39	0.0	UBRR=	47	0.0
19200	UBRR=	23	0.0	UBRR=	25	0.2	UBRR=	29	0.0	UBRR=	35	0.0
28800	UBRR=	15	0.0	UBRR=	16	2.1	UBRR=	19	0.0	UBRR=	23	0.0
38400	UBRR=	11	0.0	UBRR=	12	0.2	UBRR=	14	0.0	UBRR=	17	0.0
57600	UBRR=	7	0.0	UBRR=	8	3.7	UBRR=	9	0.0	UBRR=	11	0.0
76800	UBRR=	5	0.0	UBRR=	6	7.5	UBRR=	7	6.7	UBRR=	8	0.0
115200	UBRR=	3	0.0	UBRR=	3	7.8	UBRR=	4	0.0	UBRR=	5	0.0