الفصل السادس ٦

المتحكم أتمل AT90S1200

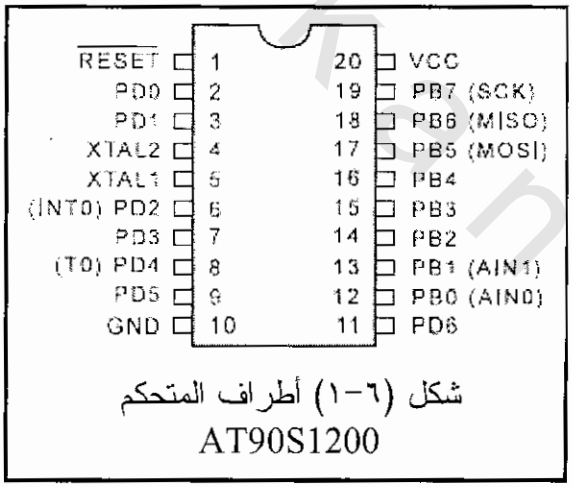
The ATMEL AT90S1200 Microcontroller

obeikandl.com

٦-١ مقدمة

تنتج شركة أتمل أنواع عديدة من المتحكمات ، ومنها سلسلة المتحكمات AT90Sxxxx والتى منها المتحكم AT90S1200 الذى سنقدمه بالتفصيل فى هذا الفصل ، النوع الثانى هو المتحكمات المتطابقة مع المتحكات 8051 والتى تم الحديث عنها فى الفصل الخاص بالمتحكم Intel8051 . المتحكم AT90S1200 كما هو موضح فى شكل (٦-١) هو أحد أول منتجات شركة أتمل الشائعة الاستخدام ، ومن الخواص العامة لهذا المتحكم ما يلى :

- هذه الشريحة لها ٢٠ طرفا فقط .
- هذا المتحكم له ٨٩ أمرا معظمها يتم تنفيذه فى نبضة تزامن clock واحدة .
- له ٣٢ مسجلا عاما General purpose register .
- نبضات تزامن ١٢ ميجاهرتز .
- ١ كيلوبايت ذاكرة برمجة فلاش Flash memory تكتب وتمسح فيها ١٠٠٠ مرة .
- ٦٤ بايت EEPROM تكتب وتمسح ١٠٠ ألف مرة .
- مؤقت/عداد ٨ بت .
- مؤقت حراسة Watch dog timer له مذبذبه الخاص .
- إمكانية المقاطعة الخارجية والداخلية .
- مذبذب داخلى RC oscillator يمكن اختياره .
- طريقة لتخفيض القدرة Power down and idle .
- ١٥ طرف إدخال/إخراج .
- جهد قدرة من ٢،٧ حتى ٦ فولت .
- مقارن انسيابى .

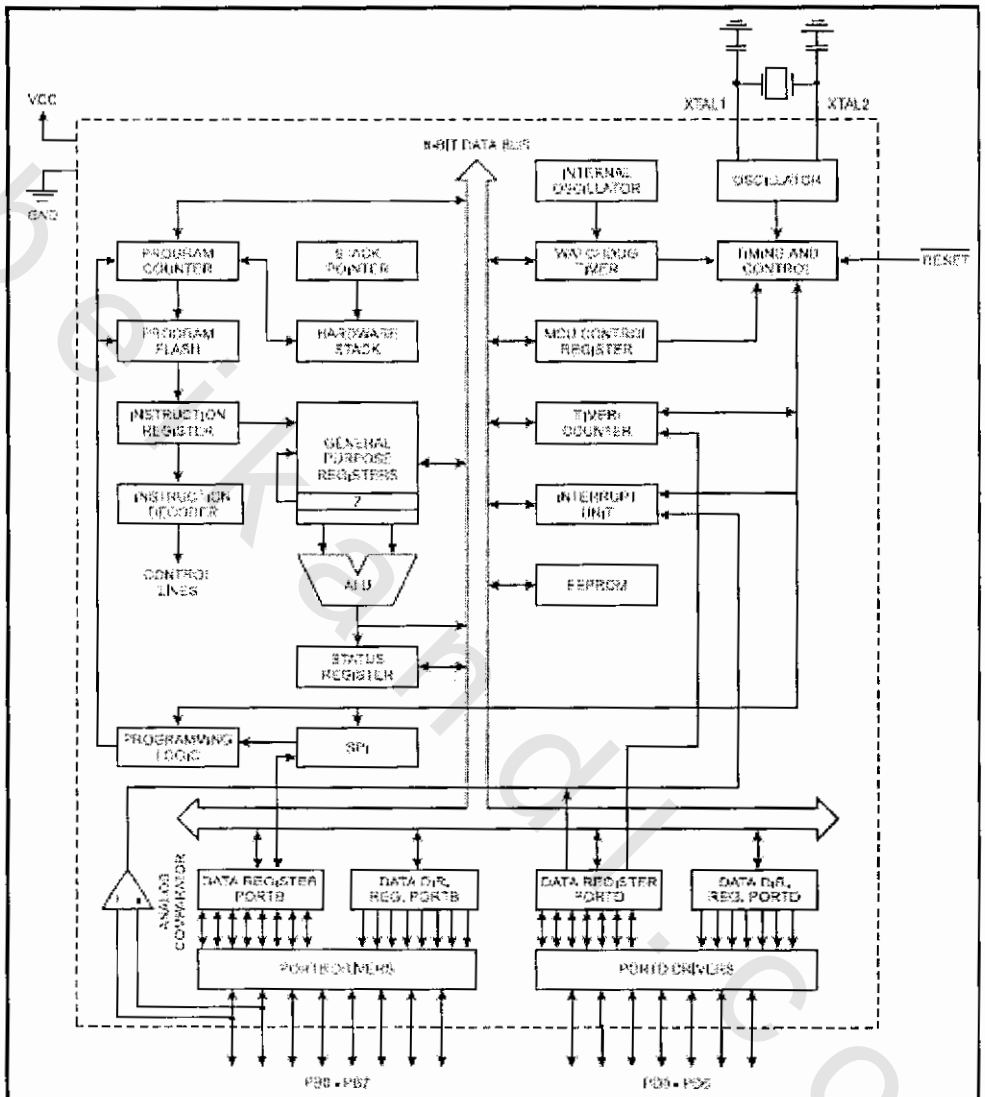


شكل (٦-١) أطراف المتحكم AT90S1200

الشريحة لها ٢٠ طرفا كما ذكرنا وكما هو موضح فى شكل (٦-١) ، هناك ٧ أطراف منها لها أكثر من وظيفة مثل الكثير من المتحكمات وسنعرف هذه الوظائف المختلفة بعد قليل . ميزة تنفيذ الأوامر فى نبضة تزامن واحدة تجعل سرعة هذه المتحكمات فى تنفيذ الأوامر أسرع بكثير من مثيلتها التى تعمل عند نفس نبضات التزامن . جميع المسجلات العامة فى هذا المتحكم متصلة اتصالا مباشرا بوحدة

obeikandl.com

الحساب والمنطق ALU مما يسهل التعامل مع مسجلين فى نفس الوقت وتنفيذ الأمر فى نفس النبضة . شكل (٦-٢) يبين رسما صندوقيا لمحتويات هذا المتحكم حيث نلاحظ من هذا الشكل وجود مسار بيانات ٨ بت لكل التعاملات الداخلية .

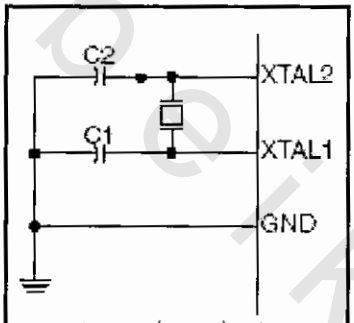


شكل (٦-٢) مكونات المتحكم AT90S1200

٦-٢ توصيف لأطراف الشريحة

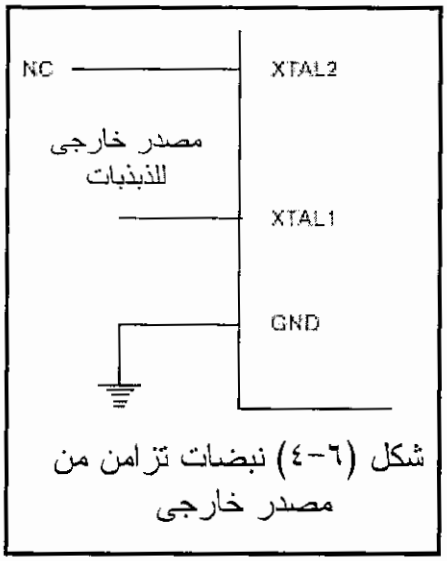
كما رأينا فى شكل (٦-١) فإن هذا المتحكم له ٢٠ طرفا يمكن تقسيمها من حيث الوظيفة كما يلى :

- الطرف ٢٠ يمثل طرف القدرة ، والطرف ١٠ يمثل الأرضى .
- الأطراف PB0 حتى PB7 تمثل بوابة الإدخال/الإخراج PB . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . الطرفان PB0 و PB1 يمكن استخدامهما كطرفى دخل للمقارن الانسيابى الداخلى analog comparator وتسمى فى هذه الحالة AIN0 الذى يمثل الطرف الموجب للمقارن و AIN1 الذى يمثل الدخل السالب للمقارن كما فى شكل (٦-١) . هذه البوابة يمكنها أن تعطى وتبتلع تيار مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . بعض خطوط هذه البوابة لها وظائف أخرى مثل الخطوط MOSI و MISO و SCK وسيأتى شرح لها فى حينه .



شكل (٦-٣) نبضات تزامن باستخدام بللورة crystal

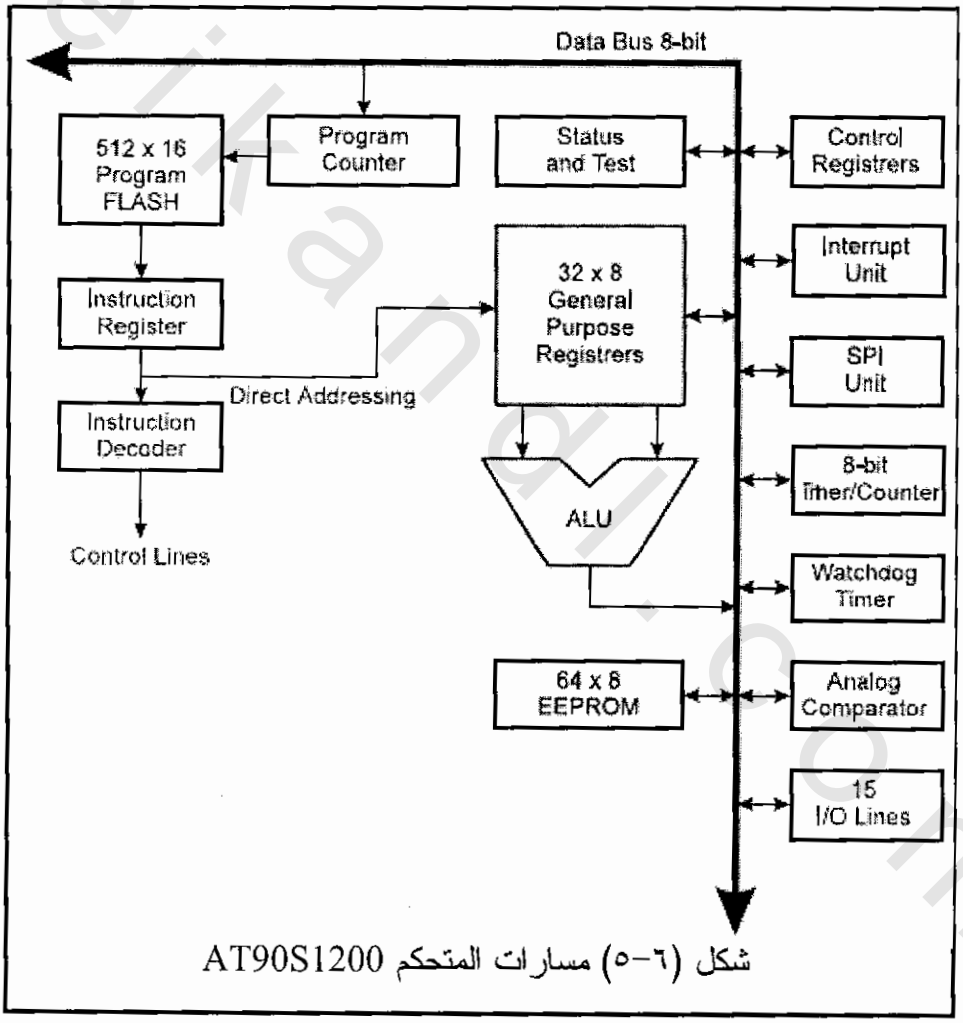
- الأطراف PD0 حتى PD6 تمثل بوابة الإدخال/الإخراج PD مكونة من ٧ أطراف فقط . هذه الخطوط يمكن إضافة مقاومة جذب pull up resistance لكل منها على حده . هذه البوابة يمكنها أن تعطى وتبتلع تيار مقداره ٢٠ ميللى أمبير الذى يكفى لإدارة الكثير من التطبيقات . بعض خطوط هذه البوابة لها وظائف أخرى مثل الخطوط INT0 و T0 وسيأتى شرح لها فى حينه .
- الطرف $\overline{RESET}$ طرف دخل منخفض الفعالية عندما يكون صفر يتم تصفير عداد البرنامج ليبدأ التنفيذ من أول عنوان فى ذاكرة البرمجة .
- الطرفان XTAL1 و XTAL2 طرفى نبضات التزامن clock يمكن من خلالهما توصيل بللورة crystal كما فى شكل (٦-٣) لتشغيل الشريحة . يمكن أيضا توصيل مصدر نبضات خارجى على الطرف XTAL1 كما فى شكل (٦-٤) وفى هذه الحالة يترك الطرف XTAL2 مفتوح . يمكن أيضا استخدام المذبذب الداخلى فى الشريحة عن طريق تنشيط علم خاص بذلك .



شكل (٦-٤) نبضات تزامن من مصدر خارجى

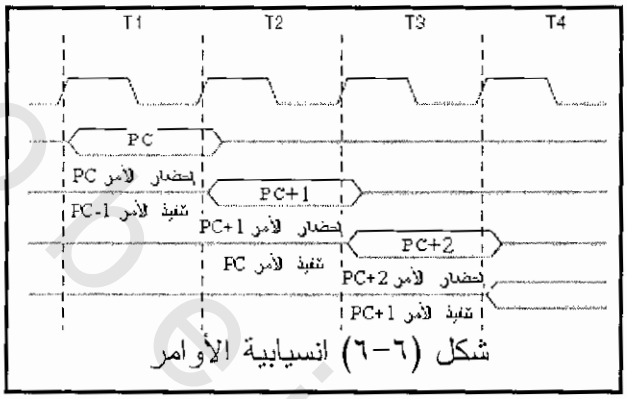
٦-٣ نظرة على مسارات المتحكم

التركيب الداخلى لهذا المتحكم يتبع نظام هارفارد للمسارات ، حيث يوجد مسار خاص لنقل شفرات الأوامر الموجودة فى ذاكرة خاصة بذلك (ذاكرة البرمجة) . هذه الذاكرة مكونة من 512x16 كلمة ، أى أنها تتكون من 512 كلمة كل منها ١٦ بت ، ولذلك فإن شفرة كل أمر تتكون من ١٦ بت . هذه الأوامر يتم تنفيذ كل منها فى نبضة تزامن واحدة من خلال انسيابية الأوامر instruction pipelining التى تنفذ الأوامر فى مرحلتين ، الأولى هى مرحلة إحضار الأمر فى نبضة تزامن معينة والثانية هى مرحلة التنفيذ فى النبضة التالية . شكل (٦-٥) يبين شكل توضيحى لمكونات المتحكم AT90S1200 .

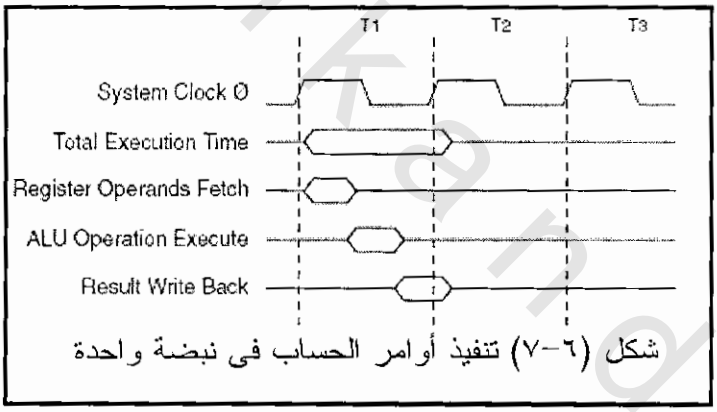


شكل (٦-٥) مسارات المتحكم AT90S1200

من المميزات العظيمة لهذا المتحكم هى أن كل المسجلات العامة (٣٢ مسجلا) كلها مسجلات تشغيل ، أى تعمل عمل المركم ، من حيث أنها كلها على اتصال بوحدة الحساب والمنطق ، كما أن النتيجة يمكن أن ترجع لأى منها وهذا ما سهل عملية تنفيذ معظم الأوامر فى نبضة تزامن واحدة . هذا يعنى أن دورة الأمر لا تختلف عن دورة التزامن ، كل منها عبارة عن نبضة تزامن واحدة . فى متحكمات PIC دورة الأمر ٤ نبضات تزامن ، بينما فى المتحكم 8051 فإن دورة الأمر تتكون من ١٢ نبضة تزامن ، وهذا بالطبع يعتبر مؤثر اساسى فى سرعة تنفيذ الأوامر . شكل (٦-٦) يبين انسيابية الأوامر وكيف أن كل أمر يتم تنفيذه فى نبضة تزامن واحدة . شكل (٦-٧) يوضح كيف أن أوامر الحساب يتم إحضار المعاملات والتنفيذ وتخزين النتيجة فى نبضة تزامن واحدة .



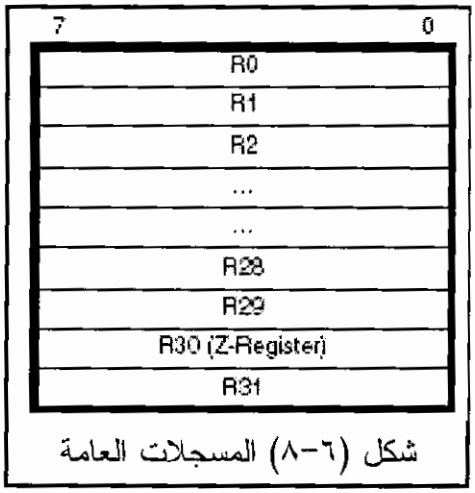
شكل (٦-٦) انسيابية الأوامر



شكل (٦-٧) تنفيذ أوامر الحساب فى نبضة واحدة

٦-٤ المسجلات العامة

كما رأينا فإن هناك ٣٢ مسجلا عاما ، كلها مسجلات تشغيل متصلة بوحدة الحساب والمنطق كما فى شكل (٦-٨) . المسجل R30 يستخدم كمؤشر فى العنونة الغير مباشرة لباقى المسجلات .



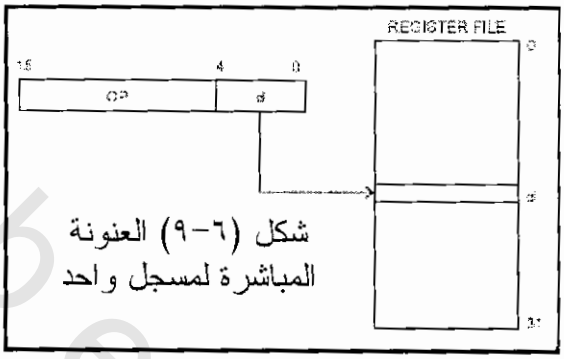
شكل (٦-٨) المسجلات العامة

obeikandl.com

٦-٥ الطرق المختلفة للعنونة Addressing modes

٦-٥-١ عنونة مباشرة لمسجل واحد

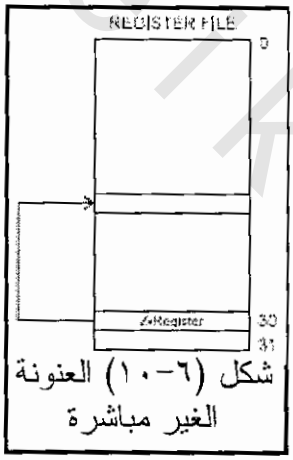
كما نعلم فإن شفرة الأمر تتكون من ١٦ بت الخمسة الأولى منها تمثل عنوان المسجل الذى سيتم التعامل معه . باقى بتات الأمر تمثل شفرة الأمر op code كما فى شكل (٦-٩) . لاحظ أن معاملات operands الأمر هنا هى مسجل واحد فقط Rd كما فى الشكل .



شكل (٦-٩) العنونة المباشرة لمسجل واحد

٦-٥-٢ العنونة الغير مباشرة

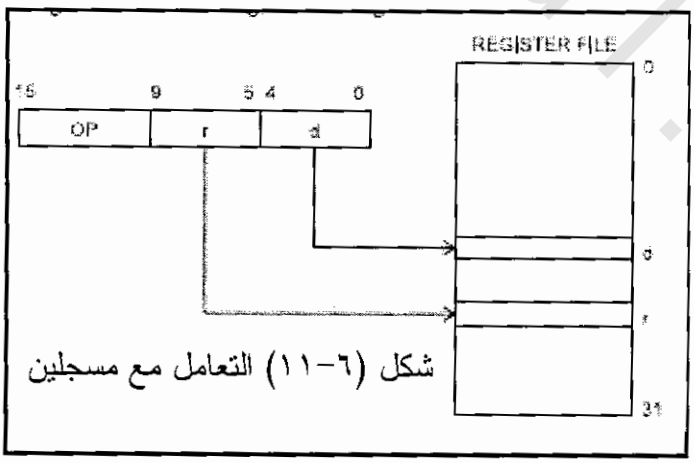
فى هذه الطريقة فإن عنوان المسجل الذى سيتم التعامل معه لا يوجد كجزء من شفرة الأمر مثل الطريقة السابقة ، ولكن يوجد فى المسجل R30 أو المسجل Z كما يطلق عليه أحيانا ، حيث يعمل هذا المسجل كمؤشر للمسجل المراد التعامل معه . شكل (٦-١٠) يوضح ذلك .



شكل (٦-١٠) العنونة الغير مباشرة

٦-٥-٣ التعامل المباشر مع مسجلين

أوامر هذا النوع تتعامل مع مسجلين Rr و Rd . شكل (٦-١١) يبين هذا النوع من العنونة حيث نلاحظ أن عنوان كل مسجل يشغل ٥ بت من شفرة الأمر حيث يتبقى ٦ بت فقط كشفرة للأمر . فى هذه الأوامر ترجع النتيجة إلى المسجل Rd .



شكل (٦-١١) التعامل مع مسجلين

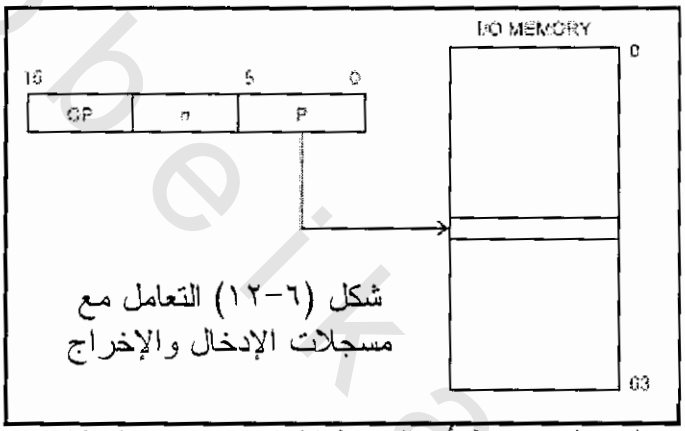
obeikandi.com

٦-٥-٤ التعامل مع مسجلات الإدخال/الإخراج

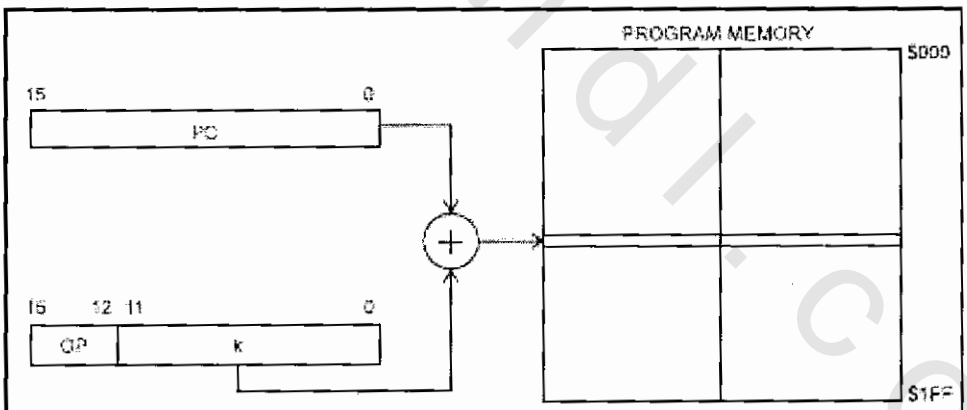
يحتوى هذا المتحكم على ٦٤ مسجلا تستخدم كمسجلات عامة للتحكم فى عمليات الإدخال أو الإخراج . أوامر التعامل مع هذه المسجلات تستخدم ٦ بتات لعنونة المسجل المطلوب كما فى شكل (٦-١٢) .

٦-٥-٥ العنونة النسبية Relative addressing

يستخدم هذا النوع من العنونة فى أوامر القفز والنداء على البرامج الفرعية . فى هذه الحالة يتحدد العنوان الذى سيتم القفز إليه من حاصل جمع محتويات عداد البرنامج زائد ثابت k يكون موجودا فى الأمر نفسه زائد واحد . شكل (٦-١٣) يبين هذا النوع من العنونة . لاحظ أن الحركة كلها تكون داخل ذاكرة البرمجة التى تبلغ 512x16 كلمة .



شكل (٦-١٢) التعامل مع مسجلات الإدخال والإخراج



شكل (٦-١٣) العنونة (القفز) النسبى

تذكر أن عداد البرنامج PC فى المتحكم AT90S1200 يتكون من ٩ بتات فقط أى أنه لا يستخدم كل ال ١٦ بت الموجودة فى شكل (٦-١٣) .

obeikandl.com

٦-٦ المكدسة Stack

تستخدم المكدسة فى تخزين محتويات عداد البرنامج (٩بت) عند النداء على البرامج الفرعية أو القفز إلى برامج خدمة المقاطعة . لذلك فإنها تتكون من ٣ مستويات (٣ بايت) فقط كل منها ٩ بت . ليس هناك مؤشر للمكدسة stack pointer ولكن الذى يحدث هو أنه عند النداء على البرنامج الفرعى فإن عداد البرنامج يتم دفعه فى قمة المكدسة مع دفع محتويات كل بايت فى المكدسة إلى البايت التى تليها ، وهكذا بحيث أنه بعد النداء على ثالث برنامج فرعى فإن عنوان العودة للبرنامج الفرعى الأول سيفقد . عند العودة من البرامج الفرعية بالأمر RET أو من برنامج خدمة مقاطعة بالأمر RTI فإن قمة المكدسة تسحب إلى عداد البرنامج ويتم رفع محتويات كل بايت فى المكدسة إلى البايت السابقة لها . هذا النظام للمكدسة موجود فى بعض متحكمات PIC .

٦-٧ ذاكرة الإدخال والإخراج I/O Memory

كمية من الذاكرة (٦٤ بايت) أو المسجلات يتم التعامل معها باستخدام الأمرين IN و OUT التى تنقل البيانات بين هذه المسجلات والمسجلات العامة أو مسجلات التشغيل (٣٢ مسجلا) . بعض هذه المسجلات له وظائف خاصة كما هو مبين فى جدول ٦-١ الذى يبين عنوان واسم ووظيفة كل واحد من هذه المسجلات .

جدول ٦-١ المسجلات الخاصة فى مدى الإدخال والإخراج

Address Hex	Name	Function
$3F	SREG	Status REGister
$3B	GIMSK	General Interrupt MaSK register
$39	TIMSK	Timer/Counter Interrupt MaSK register
$38	TIFR	Timer/Counter Interrupt Flag register
$35	MCUCR	MCU general Control Register
$33	TCCR0	Timer/Counter0 Control Register
$32	TCNT0	Timer/Counter0 (8-bit)
$21	WDTCR	Watchdog Timer Control Register
$1E	EEAR	EEPROM Address Register
$1D	EEDR	EEPROM Data Register
$1C	EECR	EEPROM Control Register
$18	PORTB	Data Register, Port B
$17	DDRB	Data Direction Register, Port B
$16	PINB	Input Pins, Port B
$12	PORTD	Data Register, Port D
$11	DDRD	DDRD Data Direction Register, Port D
$10	PIND	Input Pins, Port D
$08	ACSR	Analog Comparator Control and Status Register

سنقدم فيما يلى شرحا تفصيليا لبعض هذه المسجلات .

٦-٨ مسجل الحالة Status register

هذا المسجل عنوانه هو $3F كما فى جدول ٦-١ ، وهو يحتوى مجموعة من الأعلام كما فى شكل (٦-١٤) وكل علم يكون واحد أو صفر فى حالة معينة أو موقف معين كما يلى :

7	6	5	4	3	2	1	0
I	T	H	S	V	N	Z	C
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

قيم ابتدائية عند إعادة الوضع reset ، R/W=read/write

شكل (٦-١٤) أعلام مسجل الحالة

- **علم المقاطعة I** : علم عام لتنشيط جميع المقاطعات Global interrupt flag أى أنه لكى تقبل أى مقاطعة لابد أن يكون هذا العلم بواحد . بعد ذلك يمكن تنشيط أو إخماد أى مقاطعة منفردة من خلال مسجل خاص بكل طريقة من طرق المقاطعة كما سنرى . عند قبول أى مقاطعة فإن المتحكم يجعل هذا العلم صفرا لمنع أى مقاطعة أخرى من التأثير ، وبعد تنفيذ أمر العودة من برنامج خدمة المقاطعة RETI يرجع هذا العلم بواحد مرة ثانية استعدادا لاستقبال أى مقاطعة أخرى .
- **مخزن نسخ البت T** : يمكن نسخ محتويات البت T فى أى بت من بتات أى واحد من المسجلات العامة باستخدام الأمر BLD (Bit Load) ، كما يمكن نسخ محتويات أى بت من بتات أى واحد من المسجلات العامة فى البت T باستخدام الأمر BST (Bit store) . أى أن البت T تمثل المصدر أو الهدف مع الأمرين BLD و BST .
- **علم الحمل النصفى H** : يكون بواحد عند حدوث حمل أو استلاف من أو إلى خانة المنتصف عند إجراء أى عملية حسابية أو منطقية .
- **علم الإشارة S** : هذا العلم هو ناتج عملية XOR على محتويات علم السالبية N وعلم الفيضان V .
- **علم الفيضان V** : يصبح واحد إذا زادت النتيجة عن 127 أو نقصت عن 128- فى حالة إجراء العمليات الحسابية على الأرقام ذات الإشارة .
- **علم السالبية N** : يكون واحد إذا كانت نتيجة أى عملية حسابية أو منطقية سالبة .
- **علم الصفر Z** : يكون بواحد إذا كانت نتيجة آخر عملية حسابية أو منطقية تساوى صفر . ويكون بصفر بالطبع فى غير ذلك .

• **علم الحمل C** : يكون بواحد إذا كان هناك حمل أو استلاف من أو إلى آخر بت في حالات الجمع أو الطرح .

لاحظ أن مسجل الحالة لا يتم دفعه فى المكدسة ذاتيا ولكن إذا تطلب الأمر ذلك فإنه مسئولية المبرمج .

٦-٩ مجموعات أوامر المتحكم AT90S1200

٦-٩-١ مجموعة أوامر الحساب

جدول ٦-٢ أوامر الحساب

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
ADD	Rd, Rr	Add Two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry Two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
SUB	Rd, Rr	Subtract Two Registers	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd - K	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract with Carry Two Registers	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd - K - C	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, R r	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF - Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 - Rd	Z,C,N,V,H	1
SBR	Rd, K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd, K	Clear Bit(s) in Register	Rd ← Rd • (FFh - K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1

من الملاحظات المهمة على هذه المجموعة أن جميع أوامرها تنفذ فى نبضة تزامن واحدة كما أن جميعها تقريبا تؤثر على الأعلام وإن اختلف عدد الأعلام التى تتأثر بكل أمر .

٦-٩-٢ مجموعة أوامر المقارنة والقفز

جدول ٦-٣ أوامر المقارنة والقفز

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd, Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1/2
CP	Rd, Rr	Compare	Rd - Rr	Z,N,V,C,H	1
CPC	Rd, Rr	Compare with Carry	Rd - Rr - C	Z,N,V,C,H	1
CPI	Rd, K	Compare Register with Immediate	Rd - K	Z,N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b) = 0) PC ← PC + 2 or 3	None	1/2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b) = 1) PC ← PC + 2 or 3	None	1/2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)= 0) PC ← PC + 2 or 3	None	1/2
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b) = 1) PC ← PC + 2 or 3	None	1/2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC ← PC + k + 1	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC ← PC + k + 1	None	1/2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1/2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1/2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1/2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1/2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1/2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1/2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1/2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V = 0) then PC ← PC + k + 1	None	1/2
BRLT	k	Branch if Less than Zero, Signed	if (N ⊕ V = 1) then PC ← PC + k + 1	None	1/2
BRHS	k	Branch if Half-carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1/2

BRHC	k	Branch if Half-carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1/2
BRTS	k	Branch if T-Flag Set	if (T = 1) then PC ← PC + k + 1	None	1/2
BRTC	k	Branch if T-Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1/2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1/2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1/2

نلاحظ فى أوامر القفز المشروط أنه إذا لم يتم القفز فإن الأمر ينفذ فى نبضة تزامن واحدة ، وإذا تم القفز فإن الأمر ينفذ فى نبضتى تزامن .

٦-٩-٣ مجموعة أوامر نقل البيانات

جدول ٦-٤ أوامر نقل البيانات

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
LD	Rd, Z	Load Register Indirect	Rd ← (Z)	None	2
ST	Z, Rr	Store Register Indirect	(Z) ← Rr	None	2
MOV	Rd, Rr	Move between Registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1

٦-٩-٤ مجموعة أوامر التعامل مع البتات المفردة

جدول ٦-٥ أوامر التعامل مع البتات المفردة

شفرة الأمر	المعاملات	وصف الأمر	العملية	الأعلام	نبضات
SBI	P, b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P, b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left through Carry	Rd(0) ← C,Rd(n+1) ← Rd(n),C ← Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right through Carry	Rd(7) ← C,Rd(n) ← Rd(n+1),C ← Rd(0)	Z,C,N,V	1

ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n = 0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0) ← Rd(7..4),Rd(7..4) ← Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit Load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Two's Complement Overflow	V ← 1	V	1
CLV		Clear Two's Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half-carry Flag in SREG	H ← 1	H	1
CLH		Clear Half-carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	1
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

٦-١٠ المقاطعة وإعادة الوضع Reset

هناك ٤ مصادر يمكن أن تقاطع المتحكم AT90S1200 وعند حدوث المقاطعة من أى واحد فيها يقفز المتحكم إلى عنوان محدد فى ذاكرة البرمجة كما هو موضح فى جدول ٦-٦ . هذه العناوين يطلق عليها فى العادة متجه المقاطعة Interrupt vector حيث يوضع عند كل عنوان من هذه العناوين أمر قفز إلى برنامج الخدمة الخاص بهذه المقاطعة . بالنسبة للأولوية فإن الأربع مقاطعات مرتبة فى جدول ٦-٦ على حسب الأولوية بدءا بالأولوية الأعلى ، بمعنى أن الطرف RESET له أعلى أولوية يليه طرف المقاطعة الخارجية يليه المؤقت ثم فى النهاية يأتى المقارن الذى يكون له أقل أولوية . لاحظ أن الأطراف ذات الأولوية الأعلى يمكنها أن تقاطع الأطراف

الأقل منها فى الأولوية . أو أنه إذا كانت أكثر من مقاطعة نشطة فى نفس الوقت ، فإن المقاطعة ذات الأولوية الأعلى تنفذ أولا .

جدول ٦-٦ مصادر المقاطعة

رقم المقاطعة	عنوان ذاكرة البرمجة	مصدر المقاطعة	وصف المقاطعة
1	$000	RESET	طرف المقاطعة RESET
2	$001	INT0	طرف القاطعة الخارجية
3	$002	TIMER0	عندما يصل المؤقت إلى أقصى قيمة له
4	$003	ANA_COMP	المقارن الانسيابى

الطرف RESET منخفض الفعالية بمعنى أنه عندما يكون صفر فإن المتحكم يصفر عداد البرنامج ويبدأ التنفيذ من أول عنوان فى ذاكرة البرمجة . هناك أكثر من طريقة يحدث بها RESET للمتحكم ، أولها من على الطرف $\overline{RESET}$ بوضعه يساوى صفر ، والثانى بوصول مؤقت الحراسة إلى قيمته العظمى قبل تصفيره .

طرف المقاطعة الخارجية INT0 عند تنشيطه يذهب المتحكم للعنوان $001 كما رأينا سابقا . يمكن تنشيط هذا الطرف بأكثر من طريقة ، إما على الحافة النازلة لجهد هذا الطرف ، أو الحافة الصاعدة ، أو المستوى المنخفض لجهد هذا الطرف ، ويمكن اختيار أحد هذه الطرق كما سنرى . لكى يتم قبول المقاطعة على هذا الطرف لابد أولا أن يكون العلم I فى مسجل الحالة بواحد كما رأينا سابقا حيث أنه منشط عام لكل أنواع المقاطعة .

هناك المسجل GIMSK, General interrupt mask الذى يحتوى علم خاص بتنشيط المقاطعة من على الطرف INT0 فقط . هذا العلم هو البت ٦ فى هذا المسجل .

7	6	5	4	3	2	1	0
-	INT0	-	-	-	-	-	-
R	R/W	R	R	R	R	R	R
0	0	0	0	0	0	0	0

شكل (٦-١٥) مسجل تنشيط المقاطعة على الطرف INT0

بوضع هذه البت بواحد ، وفى وجود واحد فى العلم I فى مسجل الحالة فإن المقاطعة تقبل . شكل (٦-١٥) يبين هذا المسجل GIMSK حيث نلاحظ أن جميع بتاته غير مستخدمة فيما عدا البت ٦ التى تسمى INT0 والتى تمثل علم تنشيط الطرف INT0 كما ذكرنا . عند حدوث طلب مقاطعة على الطرف INT0 وفى حالة تنشيط العلمين I

و INT0 فإن المتحكم يدفع بمحتويات عداد البرنامج PC فقط فى المكدسة ثم يقفز إلى برنامج خدمة المقاطعة ويجعل العلم I يساوى صفر لمنع قبول أى مقاطعة . عند الانتهاء من برنامج خدمة المقاطعة وتنفيذ الأمر RETI فإن قمة المكدسة تعود إلى عداد البرنامج حيث يرجع المتحكم إلى البرنامج الأساسى ليستمر التنفيذ من عند نفس المكان الذى خرج منه ، ويرجع العلم I يساوى واحد مرة ثانية .

أول اثنين بت ISC00 و ISC01 فى المسجل MCUCR يستخدمان لاختيار طريقة تنشيط المقاطعة على الطرف INT0 كما فى جدول ٦-٧ . شكل (٦-١٦) يبين محتويات المسجل MCUCR وما يهمنا هنا هو أول اثنين بت فقط .

جدول ٦-٧ إختيار طريقة تنشيط المقاطعة INT0

الوصف	ISC01	ISC00
تنشيط المقاطعة على المستوى المنخفض للطرف INT0	0	0
غير مستخدمة	0	1
تنشيط المقاطعة على الحافة النازلة للطرف INT0	1	0
تنشيط المقاطعة على الحافة الصاعدة للطرف INT0	1	1

7	6	5	4	3	2	1	0
–	–	SE	SM	–	–	ISC01	ISC00
R	R	R/W	R/W	R	R	R/W	R/W
0	0	0	0	0	0	0	0

شكل (٦-١٦) اختيار طريقة تنشيط المقاطعة INT0 من المسجل MCUCR

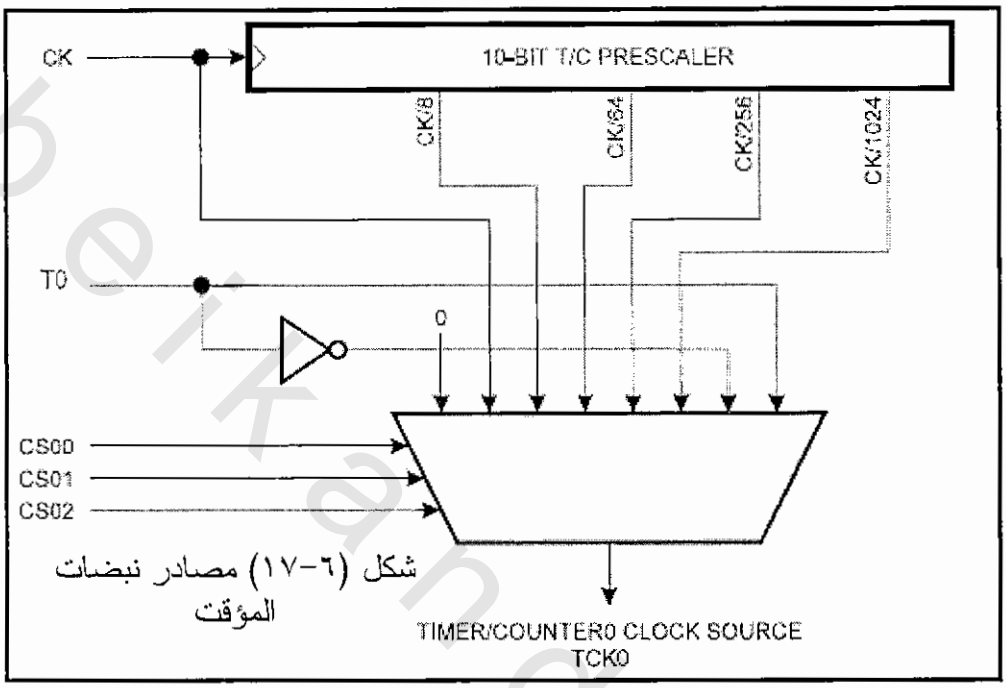
البت Sleep Enable, SE فى المسجل MCUCR بمثابة علم تنشيط لإدخال المتحكم فى حالة النوم عن طريق الأمر SLEEP . أى أن المتحكم لن يدخل فى حالة النوم بهذا الأمر إلا إذا كانت البت SE=1 .

البت Sleep Mode, SM تستخدم لوضع المتحكم فى واحد من وضعين عندما يكون فى حالة نوم . فهو إما أن يكون فى حالة سكون Idle عند وضع البت SM=0 ، أو فى وضع تخفيض القدرة بجعل البت SM=1 .

فى وضع السكون Idle تتوقف وحدة المعالجة المركزية CPU داخل المتحكم عن العمل أو تنفيذ أى أوامر ولكن تظل عملية مراقبة مصادر المقاطعة كلها فعالة بحيث أنه عند حدوث أى مقاطعة (خارجية على الخط INT0 ، أو داخلية من المؤقت TIMER0 ، أو مؤقت الحراسة ، أو المقارن الانسيابى) فإنها توقظ المتحكم من النوم ليبدأ تنفيذ برنامج خدمة المقاطعة وبعده يبدأ التنفيذ فى البرنامج الأساسى بعد الأمر SLEEP مباشرة .

فى وضع تخفيض القدرة Power down يتوقف المذبذب Oscillator أيضـــا بجانـــب توقف وحدة المعالجة وتظل عملية مراقبة مصادر المقاطعة كما هى حتى يمكن إيقاظ المتحكم من نومه كما سبق .

٦-١١ المؤقت TIMER/COUNTER



شكل (٦-١٧) مصادر نبضات المؤقت

يحتوى المتحكم AT90S1200 على مؤقت/عداد من ٨ بت يمكنـــه أن يعمـــل علـــى نبضات التزامن CK الداخليـــة أو نســـبة منهـــا (CK/8 أو CK/64 أو CK/256 أو CK/1024) . يمكن للمؤقت أن يعمل كعداد يعد النبضات الخارجية الداخلة من طرف الشريحة PD4(T0) أو عكسها . شكل (٦-١٧) يبين عملية اختيار نبضات التـــزامن التى ستدخل للمؤقت باستخدام منتقى بيانات multiplexer له ٣ خطوط اختيار هـــى CS00 و CS01 و CS02 . هذه الخطوط هى فى الحقيقة أول ٣ بتات فى المســـجل Timer/Counter Control Register, TCCR0 الذى عنوانه $33 كما فى شـــكل (٦-١٨) . لاحظ أن باقى بتات هذا المسجل غير مستخدمه . جدول ٦-٨ يبـــين كيفيـــة اختيار النبضات التى سيعمل عندها المؤقت عن طريق الشفرة على البتات CS00 و CS01 و CS02 .

7	6	5	4	3	2	1	0
-	-	-	-	-	CS02	CS01	CS00
R	R	R	R	R	R/W	R/W	R/W
0	0	0	0	0	0	0	0

شكل (٦-١٨) المسجل TCCR0

جدول ٦-٨ اختيار مصدر النبضات التى سيعمل عندها المؤقت

الوصف	CS02	CS01	CS00
وضع توقف stop	0	0	0
CK	0	0	1
CK/8	0	1	0
CK/64	0	1	1
CK/256	1	0	0
CK/1024	1	0	1
الحافة النازلة للطرف الخارجى T0	1	1	0
الحافة الصاعدة للطرف الخارجى T0	1	1	1

من المسجلات المؤثرة فى أداء المؤقت أيضا المسجل Timer/counter interrupt mask, TIMSK . البت رقم ١ فى هذا المسجل تعمل بمثابة مانع Mask للمقاطعة التى يمكن أن تحدث عندما يصل المؤقت إلى قيمته القصوى . أى أنه لكى تحدث مقاطعة من المؤقت فإن البت TOIE0=1 فى هذا المسجل . شكل (٦-١٩) يبين هذا المسجل . باقى بتات هذا المسجل غير مستخدمة .

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TOIE0	-
R	R	R	R	R	R	R/W	R
0	0	0	0	0	0	0	0

شكل (٦-١٩) المسجل TIMSK

من المسجلات المؤثرة أيضا فى أداء المؤقت المسجل Timer/counter interrupt flag, TIFR الموضح فى شكل (٦-٢٠) . بت رقم ١ فقط أيضا فى هذا المسجل هى المستخدمة وباقى بتات المسجل غير مستخدمة . عندما يصل المؤقت إلى قيمته القصوى تصبح البت TOV0=1 وفى هذه الحالة فإنه إذا كانت البت TOIE0=1

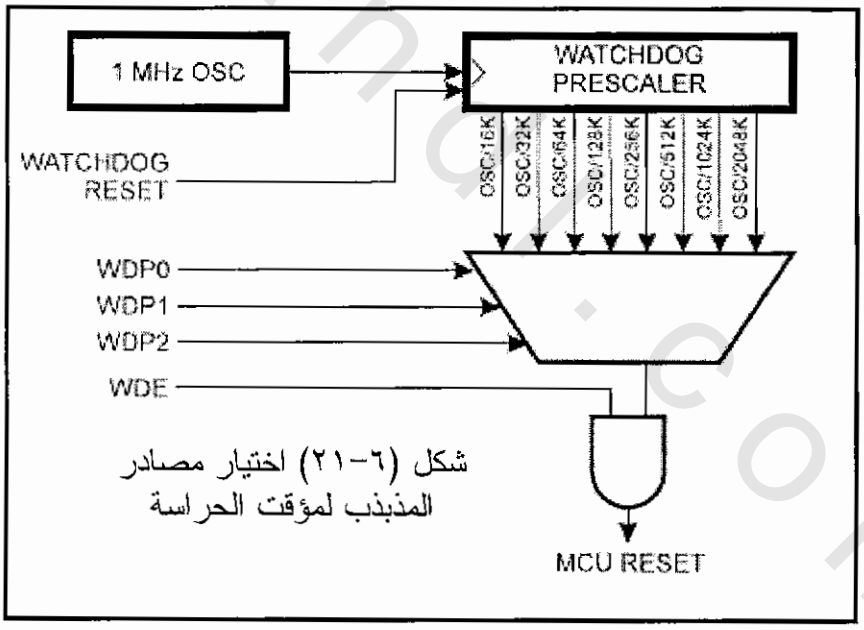
وكانت البت I=0 فى مسجل الحالة ، فإن المتحكم سيقفز إلى العنـــوان $002 حيـــث يقوم بتنفيذ برنامج خدمة المقاطعة الخاص بالمؤقت .

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TOV0	-
R	R	R	R	R	R	R/W	R
0	0	0	0	0	0	0	0

شكل (٦-٢٠) المسجل TIFR

٦-١٢ مؤقت الحراسة Watchdog timer

مؤقت الحراسة هو مؤقت موجود داخل شريحة المتحكم يعمل على نبضات تـــزامن خاصة به فقط مقدار ترددها هو ١ ميجاهرتز . إذا كان مؤقت الحراسة نشط فإنـــه يبدأ بالعد وعندما يصل إلى قيمته القصوى دون أن يصفر عن طريق المبرمج بالأمر WDR فإنه سيسبب تصفير RESET للمتحكم كله عن طريق القفز إلى العنوان $000 فى ذاكرة البرمجة . يمكن إطالة زمن المؤقت عن طريق استخدام قواســـم مختلفـــة لتردد المذبذب كما فى شكل (٦-٢١) .



شكل (٦-٢١) اختيار مصادر المذبذب لمؤقت الحراسة

من المسجلات المؤثرة فى أداء مؤقت الحراسة المســـجل Watchdog timer control register, WDTCR الموضحة فى شكل (٦-٢٢) . أول ٣ بت فى هـــذا المســـجل

WDP0 و WDP1 و WDP2 تستخدم فى اختيار النسبة التى سنقسم عليها تردد المذبذب حيث يمكن اختيار واحدة من ثمانية نسب مختلفة كما هو موضح فى جدول ٦-٩ الذى يبين كيفية الحصول على هذه النسب تبعا لوضع هذه البتات . هناك أيضا البت ٣ ، WDE ، التى تستخدم لتنشيط هذا المؤقت بوضعها بواحد . بوضع هذه البت بصفر فإن مؤقت الحراسة يخمد تماما ولا يؤدى دوره . لاحظ أن باقى بتات هذا المسجل غير مستخدمه .

7	6	5	4	3	2	1	0
–	–	–	–	WDE	WDP2	WDP1	WDP0
R	R	R	R	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

شكل (٦-٢٢) مسجل التحكم فى أداء مؤقت الحراسة

جدول ٦-٩ نسب القسمة للمذبذب الخاص بمؤقت الحراسة

WDP2	WDP1	WDP0	Number of WDT Oscillator Cycles	Typical Time-out at V_{CC} = 3.0V	Typical Time-out at V_{CC} = 5.0V
0	0	0	16K cycles	47 ms	15 ms
0	0	1	32K cycles	94 ms	30 ms
0	1	0	64K cycles	0.19 s	60 ms
0	1	1	128K cycles	0.38 s	0.12 s
1	0	0	256K cycles	0.75 s	0.24 s
1	0	1	512K cycles	1.5 s	0.49 s
1	1	0	1,024K cycles	3.0 s	0.97 s
1	1	1	2,048K cycles	6.0 s	1.9 s

٦-١٣ التعامل مع الذاكرة EEPROM

الذاكرة Electrically Erasable Programmable Read Only Memory, EEPROM هى ذاكرة قراءة فقط يمكن التسجيل فيها إلكترونيا وتظل البيانات المسجلة فيها موجودة بالرغم من انقطاع القدرة . ولذلك فهى تستخدم لتسجيل البيانات المستديمة مثل الجداول والثوابت . عملية التسجيل فى هذه الذاكرة تأخذ وقتا طويلا (من 2.5 إلى 4 ميللى ثانية) بالنسبة للكتابة فى الذاكرة العادية ، بينما تكون عملية القراءة عادية جدا . المتحكم AT90S1200 تحتوى ٦٤ بايت من هذا النوع من الذاكرة . هناك ثلاث مسجلات خاصة تحكم التعامل مع هذه الذاكرة .

- المسجل الأول EEAR الذى نضع به العنوان المراد التعامل معه فى داخل هذه الذاكرة . أول ٦ بت من هذا المسجل هى المستخدمة فقط وباقى البتات غير مستخدمة .شكل (٦-٢٣) يبين هذا المسجل .
- المسجل الثانى هو المسجل EEDR الذى توضع به البيانات المراد تسجيلها فى العنوان الموجود فى المسجل EEAR فى حالة التسجيل ، أو توضع به البيانات التى تم قراءتها من العنوان المحدد فى المسجل EEAR فى حالة القراءة من هذه الذاكرة . شكل (٦-٢٤) يبين هذا المسجل .

7	6	5	4	3	2	1	0
–	–	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0
R	R	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

شكل (٦-٢٣) المسجل EEAR

7	6	5	4	3	2	1	0
MSB							LSB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

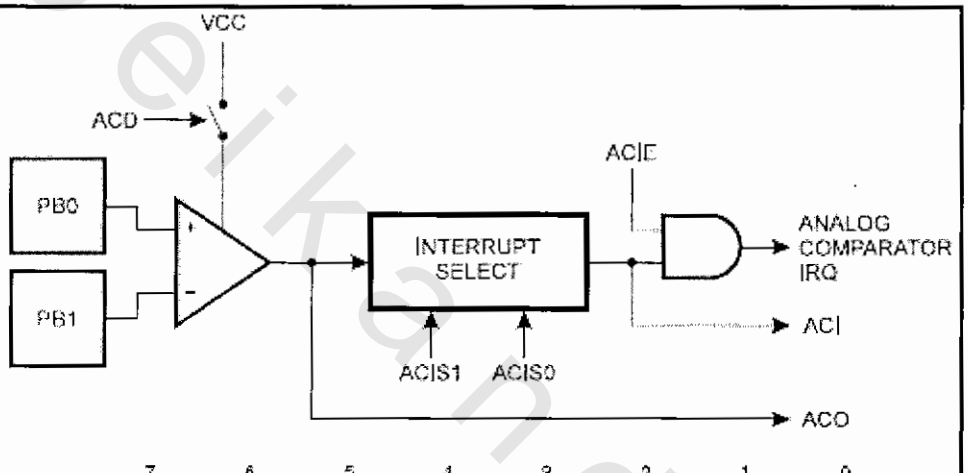
شكل (٦-٢٤) المسجل EEDR

- المسجل الثالث هو المسجل EECR الذى يستخدم للتحكم فى عمليتى القراءة والكتابة حيث يحتوى هذا المسجل على علمين فقط فى أول ٢ بت وباقى البتات غير مستخدمة كما فى شكل (٦-٢٥) . البت EEWE حيث يتم وضع واحد فى هذه البت لتنشيط (بدأ) عملية التسجيل فى الذاكرة بعد تحديد العنوان فى المسجل EEAR ووضع البيانات المراد تسجيلها فى المسجل EEDR . عند انتهاء عملية التسجيل فإنه يتم تصفير هذه البت عن طريق المتحكم نفسه كدليل على الانتهاء من عملية التسجيل . لذلك فإنه على المستخدم أو المبرمج ألا يبدأ فى تسجيل بيانات جديدة إلا بعد التأكد من رجوع هذه البت إلى الصفر وذلك من خلال قراءتها باستمرار . البت الثانية فى هذا المسجل هى البت EERE التى يقوم المبرمج بوضعها بواحد للبدأ فى قراءة محتويات العنوان الموجود فى المسجل EEAR ، حيث سيتم وضع البيانات التى تم قراءتها فى المسجل EEDR ، وتصفير البت EERE كدليل على انتهاء عملية القراءة . عملية القراءة تتم فى نبضة واحدة ولذلك فإنه لا حاجة لقراءة هذه البت عن طريق المبرمج حيث يمكنه القراءة من الذاكرة مباشرة .

7	6	5	4	3	2	1	0
–	–	–	–	–	–	EEWE	EERE
R	R	R	R	R	R	R/W	R/W
0	0	0	0	0	0	0	0

شكل (٦-٢٥) المسجل EECR

٦-١٤ المقارن الانسيابى Analog comparator



ACSR	7	6	5	4	3	2	1	0
	ACD	–	ACO	ACI	ACIE	–	ACIS1	ACIS0
	R/W	R	R	R/W	R/W	R	R/W	R/W
	0	0	N/A	0	0	0	0	0

شكل (٦-٢٦) رسم توضيحى لعمل المقارن الانسيابى والمسجل ACSR

يوجد بداخل المتحكم مقارن انسيابى دخله الموجب هو الطرف PB0 ودخله السالب هو الطرف PB1 كما فى شكل (٦-٢٦) . هذا المقارن يمكن إخماده أو تعطيله عن العمل بوضع البت ACD=1 فى المسجل ACSR الذى يحتوى مجموعة من الأعلام التى تتحكم فى أداء المقارن . بوضع هذه البت بواحد تفصل طرف القدرة عن المقارن وبذلك يتم إخماده . بت ٥ ، ACO ، فى المسجل ACSR تعكس خرج المقارن بحيث عندما يكون الجهد على الطرف الموجب أكبر من الجهد على الطرف السالب ، فإن هذه البت تصبح واحد ، وعندما يكون جهد الطرف السالب هو الأكبر فإن هذه البت تكون صفر . خرج المقارن يمكنه أن يقاطع المتحكم بحيث أنه عند حدوث هذه المقاطعة فإن المتحكم يذهب إلى العنوان 003$ كما رأينا سابقا . يمكن

التحكم فى طريقة حدوث هذه المقاطعة بأكثر من طريقة كما سنرى من بتات المسجل ACSR .

- البت ACIS0 و ACIS1 وهما أول ٢ بت فى المسجل ACSR ، وهما يتحكمان فى طريقة مقاطعة المقارن للمتحكم بحيث أنها إما أن تكون عند نزول الخرج من واحد لصفر أو صعوده من صفر لواحد أو عند حدوث أى تغيير كما فى جدول ٦-١٠ .
- البت ACIE هى بت تنشيط المقاطعة الخاصة بهذا المقارن ، بحيث أنه عندما تكون هذه البت بواحد ، وتكون البت I=1 فى مسجل الحالة فإن المقارن يمكنه أن يقاطع المتحكم على حسب وضع البت ACIS0 والبت ACIS1 .

جدول ٦-١٠ طريقة المقاطعة من خرج المقارن

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge
1	1	Comparator Interrupt on Rising Output Edge

- البت ACI هى علم المقاطعة الذى يصبح واحد عند حدوث مقاطعة من المقارن وذلك بالطبع إذا كان كل من ACIE=1 و I=1 فى مسجل الحالة . فى هذه الحالة فإن المقاطعة ستقبل ويقفز المتحكم إلى برنامج خدمة المقاطعة . وبمجرد الدخول فى برنامج خدمة المقاطعة فإن البت ACI تصبح صفرا .
- البت ACO هى خرج المقارن كما رأينا .
- البت ACD هى بت تنشيط المقارن .
- باقى البتات فى هذا المسجل غير مستخدمة .

ملاحظة مهمة يجب تذكرها وهى أنه عند تغيير البت ACD أو البت ACIS0 و ACIS1 يجب أن يتم ذلك مع إخماد المقاطعة بوضع الطرف ACIE=0 ، وإلا فإنه لو حدث تغيير لحالة هذه الأطراف فى أثناء تنشيط المقاطعة فإن ذلك من الممكن أن يسبب مقاطعة للمتحكم .

٦-١٥ إدخال وإخراج البيانات

يحتوى المتحكم AT90S1200 على بوابتين لإدخال وإخراج البيانات وهما البوابة B ، مكونة من ٨ بت ، والبوابة D مكونة من ٧ بت فقط . سنتناول فى هذا الجزء كيفية التعامل مع كل منهما .

٦-١٥-١ البوابة B

هذه البوابة تتكون من ٨ بت كما ذكرنا ويتحكم فى أدائها ٣ مسجلات وهى :

- المسجل PORTB الذى عنوانه $18 وهو مسجل البيانات لهذه البوابة . وهو بمثابة عازل Buffer تسجل فيه البيانات المراد إخراجها على هذه البوابة . بالطبع فإن كل بتات هذا المسجل مستخدمة كما فى شكل (٦-٢٧) .
- المسجل DDRB الذى عنوانه $17 وهو مسجل التحكم فى اتجاه البيانات على هذه البوابة بحيث تعمل كبوابة إدخال أو بوابة إخراج . بوضع واحد فى أى بت من بتات هذا المسجل فإن الطرف المقابل له من أطراف البوابة يصبح طرف خرج . وبوضع صفر فى أى بت من بتات هذا المسجل فإن الطرف المقابل له يصبح طرف خرج . هذا المسجل ٨ بت مستخدمة كلها كما فى شكل (٦-٢٧) .
- المسجل PINB الذى عنوانه $16 وهو مسجل قراءة فقط بمثابة عازل buffer للبيانات الداخلة فى حالة استخدام البوابة كبوابة إدخال . المسجل يتكون من ٨ بت مستخدمة كلها كما فى شكل (٦-٢٧) .

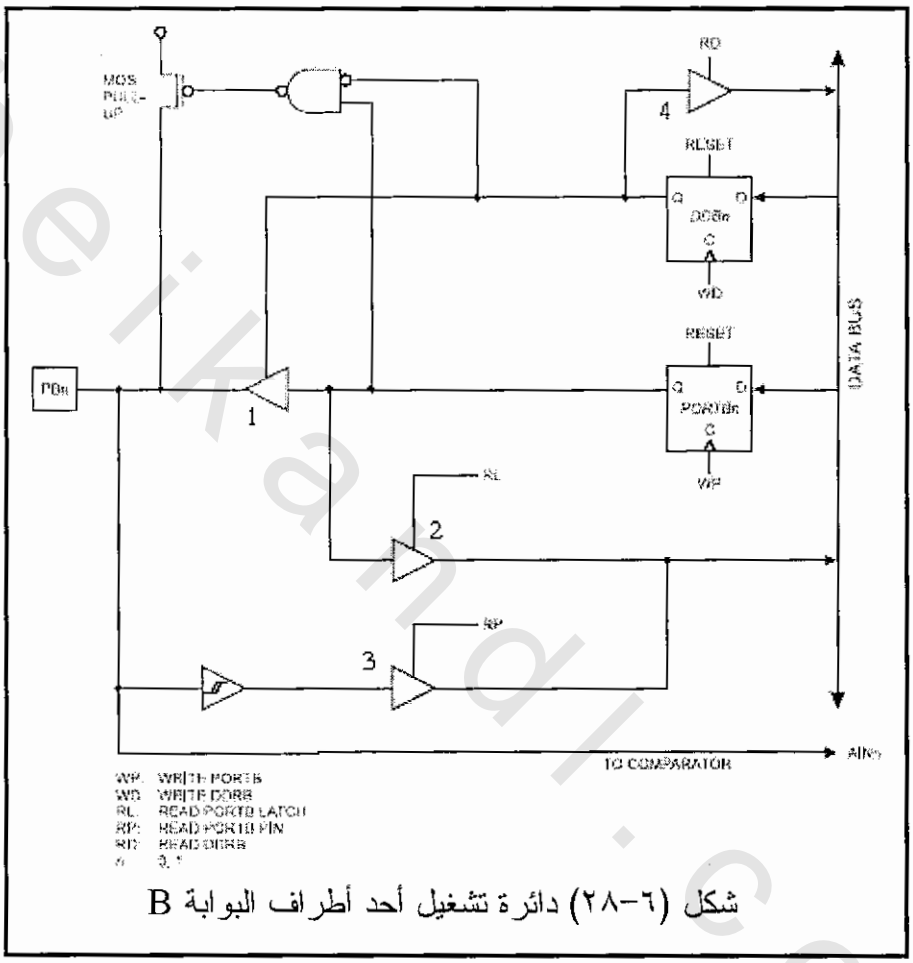
لاحظ أن كل أطراف البوابة B يمكنها أن تبتلع أو توفر تيارا حتى ٢٠ ميللى أمبير مما يتيح استخدامها لإدارة المظهرات ولمبات البيان ، كما أن كل أطرافها يمكن أن ينشط عليها مقاومة جذب Pull up resistance . بعض أطراف البوابة B تستخدم فى أغراض أخرى ، وقد رأينا أن الطرفين PB0 و PB1 يستخدمان كطرفى دخل للمقارن الانسيابى . الأطراف PB5 و PB6 و PB7 يستخدمان فى أغراض أخرى سنتكلم عليها بعد قليل . شكل (٦-٢٨) يوضح الدوائر الداخلية للبوابة B وكيفية عملها .

7	6	5	4	3	2	1	0	
PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
R	R	R	R	R	R	R	R	

شكل (٦-٢٧) مسجلات التعامل مع البوابة B

فى شكل (٦-٢٨) عندما يكون خرج الماسك DDBn=1 فإن العازل رقم ١ ينشط ويصبح خرج الماسك PORTBn موصلا على طرف البوابة PBn ، ويصبح هذا الطرف طرف خرج تخرج عليه البيانات الموجودة على ماسك الخرج PORTBn ، وبذلك يمكن جعل أى طرف من أطراف هذه البوابة طرف خرج .

عندما يكون خرج الماسك DDBn=0 فإن العازل رقم ١ يصبح غير نشط (مقاومة عالية) وبذلك لا يمكن إخراج أى بيانات من ماسك الخرج PORTBn من خلاله إلى طرف الخرج PBn . فى هذه الأثناء يمكن تنشيط العازل رقم ٣ بأمر قراءة البوابة IN فيتم قراءة الطرف PBn ووضع محتوياته على مسار البيانات ، وبذلك يعمل هذا الطرف كطرف إدخال .



شكل (٦-٢٨) دائرة تشغيل أحد أطراف البوابة B

يمكن قراءة محتويات الماسك DDBn عن طريق جعل الطرف RD=1 وذلك بتنفيذ أمر قراءة لهذا المسجل . كما يمكن قراءة محتويات الماسك PORTBn بنفس الطريقة عن طريق جعل الطرف RL=1 .

الترانزستور MOS Pull up يمكن إضافته كمقاومة جذب Pull up resistance بوضع DDBn=0 و PORTBn=1 وفى هذه الحالة فإنه إذا كان الدخل PBn عليه صفر من أى جهاز خارجى فإنه سيسحب تيارا من خلال هذه المقاومة .

obeikandl.com

الدائرة الموجودة فى شكل (٦-٢٨) هى لأحد أطراف الدخل PB0 أو PB1 حيث نلاحظ أن الطرف PBn موصلا على أحد طرفى المقارن الانسيابى . باقى أطراف البوابة B سيكون لها نفس الدائرة مع مراعاة الوظيفة الأخرى لأى طرف فى حالة وجودها .

٦-١٥-٢ البوابة D

هذه البوابة تتكون من 7 بت كما ذكرنا ويتحكم فى أدائها ٣ مسجلات وهى :

- المسجل PORTD الذى عنوانه $12 وهو مسجل البيانات لهذه البوابة . وهو بمثابة عازل Buffer تسجل فيه البيانات المراد إخراجها على هذه البوابة . بالطبع فإن ٧ بتات من هذا المسجل هى المستخدمة كما فى شكل (٦-٢٩) .

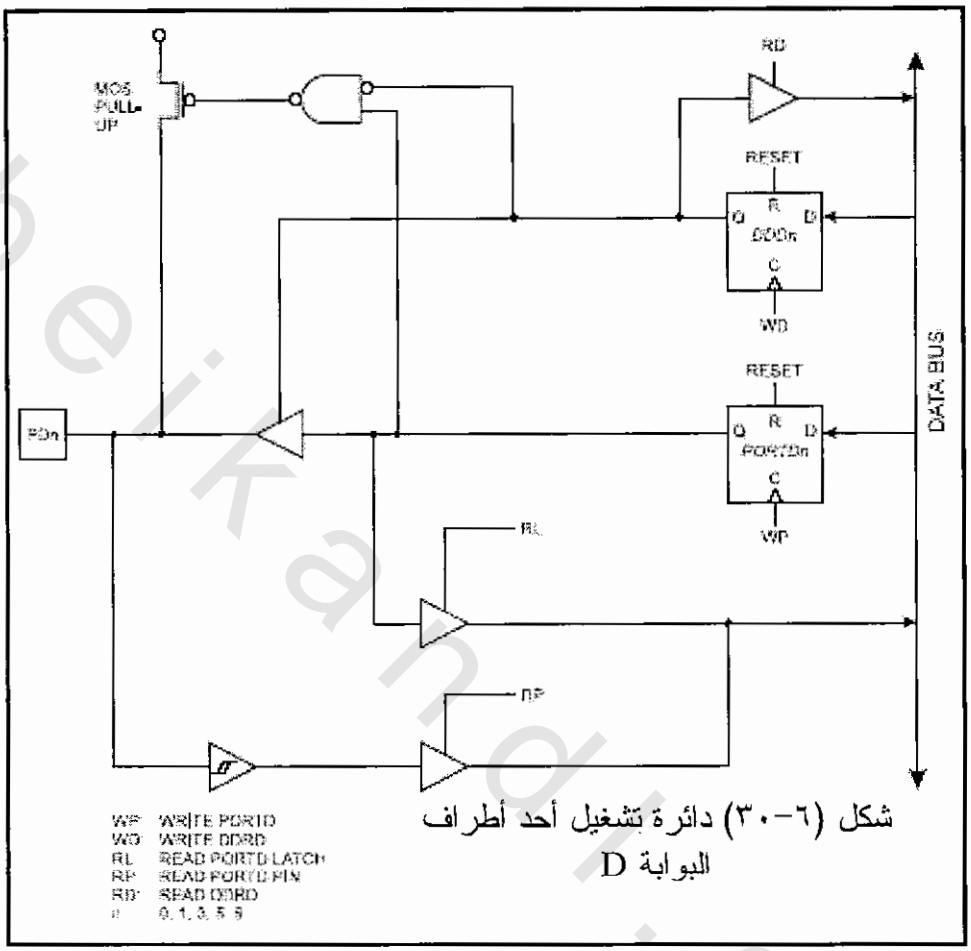
7	6	5	4	3	2	1	0	
-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
R	R	R	R	R	R	R	R	

شكل (٦-٢٩) مسجلات التعامل مع البوابة D

- المسجل DDRD الذى عنوانه $11 وهو مسجل التحكم فى اتجاه البيانات على هذه البوابة بحيث تعمل كبوابة إدخال أو بوابة إخراج . بوضع واحد فى أى بت من بتات هذا المسجل فإن الطرف المقابل له من أطراف البوابة يصبح طرف خرج . وبوضع صفر فى أى بت من بتات هذا المسجل فإن الطرف المقابل له يصبح طرف خرج . هذا المسجل ٨ بت مستخدم منها ٧ كما فى شكل (٦-٢٩) .
- المسجل PIND الذى عنوانه $10 وهو مسجل قراءة فقط بمثابة عازل buffer للبيانات الداخلة فى حالة استخدام البوابة كبوابة إدخال . المسجل يتكون من 7 بت فقط كما فى شكل (٦-٢٩) . شكل (٦-٣٠) يبين دائرة تشغيل البوابة D حيث نلاحظ التشابه التام بينها وبين الدائرة الخاصة بالبوابة B .

لاحظ أن كل أطراف البوابة D يمكنها أن تبتلع أو توفر تيارا حتى ٢٠ ميللى أمبير مما يتيح استخدامها لإدارة المظهرات ولمبات البيان ، كما أن كل أطرافها يمكن أن ينشط عليها مقاومة جذب Pull up resistance . بعض أطراف البوابة D تستخدم فى

أغراض أخرى ، وقد رأينا أن الطرف PD2 يستخدم كطـرف مقاطعـة خارجيـة والطرف PD4 يستخدم كطرف إدخال لنبضات التزامن الخارجية للمؤقت . شـكل (٦-٣٠) يوضح الدوائر الداخلية للبوابة D وكيفية عملها .



شكل (٦-٣٠) دائرة تشغيل أحد أطراف البوابة D

obeikandl.com