الفصل الثامن 8

فصل مسارات المعالجات

Buffering of Microprocessor Buses

obeikandl.com

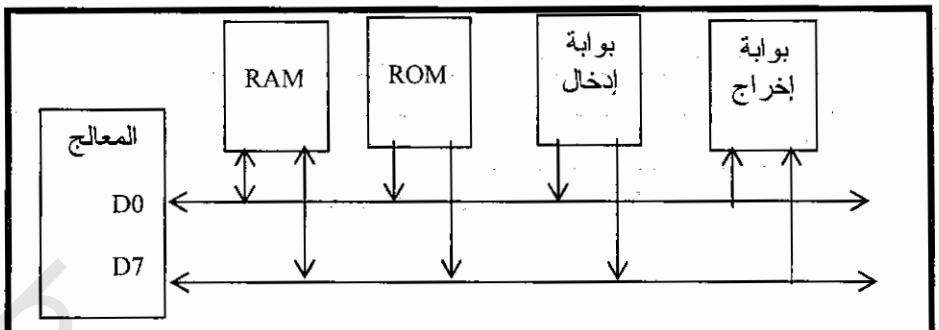
8-1 مقدمة

كما رأينا فى الفصل السابق فإن أى مسار bus يكون عبارة عن مجموعة من الخطوط المتوازية والتى عليها يمكن نقل معلومات أو إشارات من مكان لآخر . عادة تكون هذه المعلومات أو البيانات خارجة من مصدر معين وقاصدة إلى هدف آخر . بعض هذه المسارات يكون أحادى الاتجاه مثل مسار العناوين الذى دائما يحمل إشارات من المعالج إلى الأجهزة المحيطة ، والبعض الآخر يكون ثنائى الاتجاه مثل مسار البيانات الذى تكون عليه الإشارة خارجة من المعالج إلى الأجهزة المحيطة فى أزمنة معينة أو العكس من الأجهزة المحيطة إلى المعالج فى أزمنة أخرى . إن الهدف من عملية مواجهة المعالج مع الأجهزة المحيطة هو توفير الوسائل التى يستطيع بها المعالج التخاطب مع هذه الأجهزة ونعنى بكلمة التخاطب إرسال واستقبال معلومات أو إشارات إلى ومن هذه الأجهزة . شكل (8-1) يبين شريحة معالج وقد خرج منها مسار للبيانات إلى جميع الأجهزة المحيطة ، فهل هذا يكفى لحل جميع مشاكل عملية المواجهة ؟ كمثال على الأجهزة المحيطة نرى فى هذا الشكل بوابة إدخال وبوابة إخراج وذاكرة قراءة وكتابة RAM وذاكرة قراءة فقط ROM . لاحظ فى هذا الشكل أن المعالج كما لو كان بنكا أو دكانا للمعلومات وجميع الأجهزة المحيطة تريد التعامل معه من خلال مسار البيانات .

عند مواجهة (توصيل) المعالج مع أى جهاز من الأجهزة المحيطة تنشأ مشكلتان يجب التغلب عليهما وهما كما يلى :

أولا: يجب التأكد من أنه فى أى لحظة لا يتم نقل المعلومة إلا لجهاز واحد فقط ، أى أنه عندما يكون المعالج فى حالة اتصال (مخاطبة) مع أى جهاز من الأجهزة المحيطة فإنه يكون على اتصال بهذا الجهاز فقط دون الأجهزة الأخرى. فمثلا نريد أن نضمن أنه عندما سيرسل المعالج معلومة إلى أى بوابة إخراج فإن هذه المعلومة لن تذهب أيضا إلى أى بايت من بايتات ال RAM .

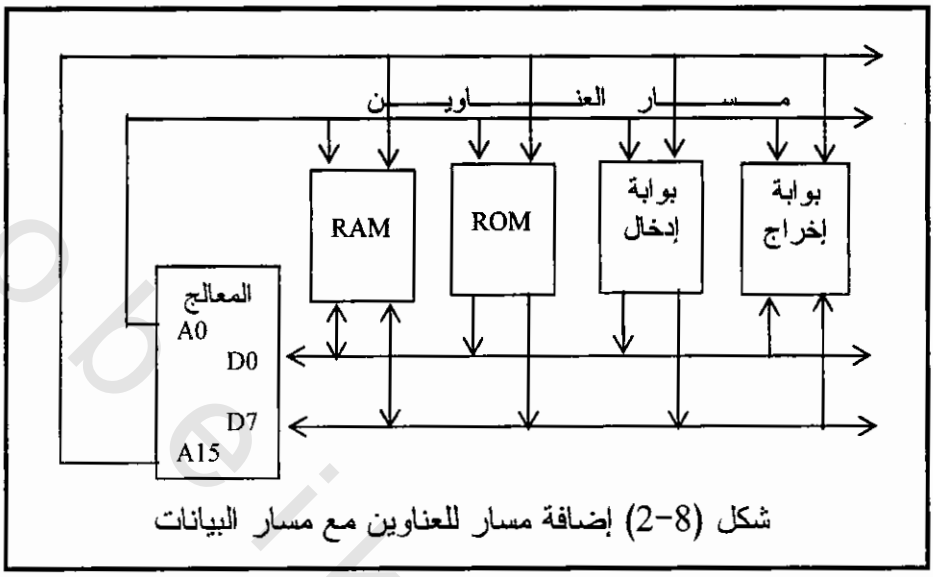
ثانيا: المشكلة الثانية هى أنه يجب التأكد من أنه عند اتصال المعالج بأى واحد من الأجهزة المحيطة فإن الأجهزة الأخرى لن تشوش أو تتداخل فى عملية الاتصال . فمثلا عندما يريد المعالج أن يقرأ معلومة من ال RAM فإننا نريد أن نضمن أن ال ROM أو أى بوابة إدخال لن تتدخل وترسل هى الأخرى معلومات إلى المعالج بحيث يحدث فى هذه الحالة ما يسمى بتصادم للمعلومات على مسار البيانات وقد أشرنا لذلك فى الفصل السابق فى معرض حديثنا عن البوابات ثلاثية المنطق .



شكل (8–1) نقل المعلومة إلى الأجهزة المحيطة على مسار البيانات

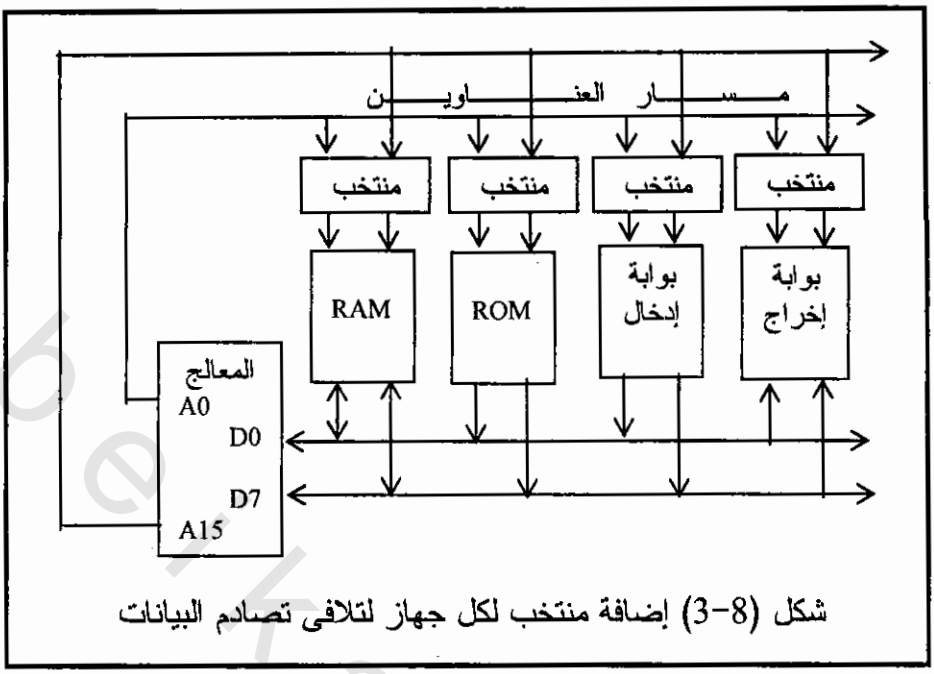
8–2 لماذا مسار العناوين ؟

إن المشكلة الأولى وهى مشكلة ضمان الاتصال أو التعامل مع جهاز واحد فقط يمكن التغلب عليها عن طريق استخدام مسار للعناوين بحيث يكون لكل جهاز من الأجهزة المحيطة عنوانا خاصا به يتم إخراجه على مسار العناوين من المعالج ولا يتعرف على هذا العنوان إلا الجهاز المعنى به فقط فيصبح هذا الجهاز (الذى تعرف على عنوانه) فى حالة نشاط أو فعالية فيستقبل المعلومة الموجودة على مسار البيانات . وأما جميع الأجهزة الأخرى التى لم تتعرف على العنوان فإنها تكون خاملة ويتم منعها من التعامل مع مسار البيانات ، لذلك ظهرت الحاجة إلى مسار للعناوين بجانب مسار البيانات . شكل (8–2) يبين مسار العناوين وقد أضيف إلى النظام الموجود فى شكل (8–1) . عادة يتكون مسار العناوين من عدد معين من الخطوط ويتم تحديد هذا العدد عن طريق مصمم (صانع) شريحة المعالج . هذا المسار سيحمل إشارة ثنائية (وحايد وأصفار) وكل إشارة تمثل شفرة أو كودا لعنوان واحد من الأجهزة المحيطة التى يستطيع المعالج التعامل معها . لذلك فإن عدد هذه الأجهزة يساوى اثنين أس عدد الخطوط الموجودة فى مسار العناوين ، فلو كان مثلا عدد خطوط مسار العناوين يساوى ستة خطوط فإن عدد الأجهزة سيكون 64 جهازا (2^6) . إن بعض شرائح المعالجات التى سنتعامل معها فى هذا الكتاب يحتوى مسار العناوين فيها على 16 خطا أو 16 بت ، ولذلك فإنها تستطيع التعامل مع 2^{16} أى 65536 جهازا أو عنوانا من الأجهزة المحيطة بين بوابات إدخال وبوابات إخراج وبايتات ذاكرة كل منها له العنوان الخاص به والمكون من 16 بت .



شكل (8-2) إضافة مسار للعناوين مع مسار البيانات

كما رأينا فإن نظام العنونة (كما فى شكل (8-2) والذى سيأتى تفصيله فيما بعد) قد حل المشكلة الأولى وهى مشكلة ضمان عدم تعامل المعالج مع أكثر من واحد من الأجهزة المحيطة . أما المشكلة الثانية وهى عدم التداخل بين الأجهزة المحيطة على مسار البيانات أو عدم تصادم المعلومات على نفس المسار فهذه قد أوضحنا فى الفصل السابق أن سببها يرجع إلى استخدام البوابات ثنائية المنطق فى مراحل خرج الأجهزة المحيطة ، ولقد أوضحنا فى الفصل السابق أيضا أن حل هذه المشكلة يكون عن طريق استخدام البوابات ثلاثية المنطق فى مراحل خرج هذه الأجهزة بحيث عندما يريد المعالج التعامل مع أى جهاز فإنه يقوم بتنشيط خط التحكم فى مرحلة خرج هذا الجهاز فقط وأما باقى الأجهزة الموصلة على مسار البيانات فتكون خاملة أو كما لو كانت غير موصلة على مسار البيانات open circuit . شكل (8-3) يبين عملية توصيل الأجهزة المحيطة مع المعالج وقد استخدم منتخب أو فاكك أو محلل شفرة ملحق بكل جهاز بحيث يصبح خرج هذا المحلل فعالا إذا كان العنوان الموجود على مسار العناوين مطابقا تماما للعنوان الذى صمم من أجله هذا المحلل ، حيث فى هذه الحالة يكون هذا هو الجهاز الوحيد الذى سيتعامل مع المعالج . إن عملية تصميم منتخب أو محلل شفرة لكل جهاز من الأجهزة المحيطة سنتعرف عليها بالتفصيل فى الفصول القادمة فى معرض الحديث عن مواجهة الذاكرة وبوابات الإدخال والإخراج .



شكل (8-3) إضافة منتخب لكل جهاز لتلافى تصادم البيانات

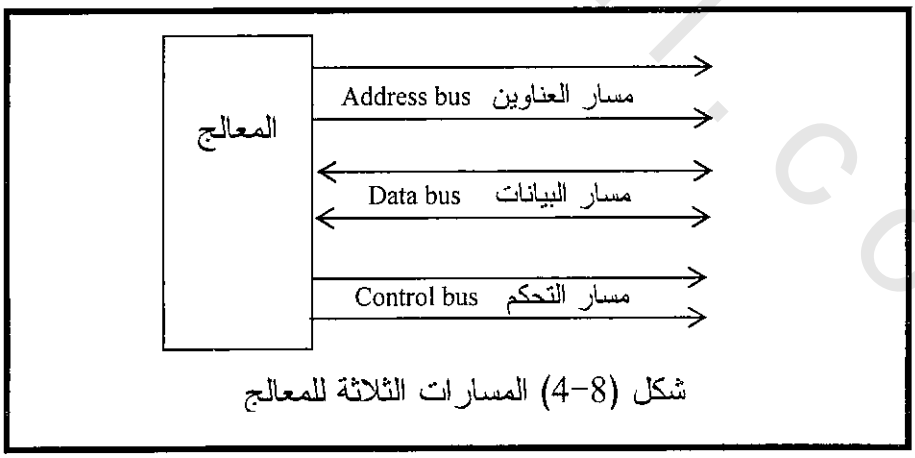
8-3 لماذا مسار التحكم ؟

افترض مثلا أن المعالج يريد كتابة (إرسال) المعلومة أو الرقم 55H إلى البايت التى عنوانها E100H ، فماذا سيفعل المعالج على ضوء معرفتنا بوظيفة كل من مسار العناوين والبيانات ؟ إن المعالج لكى يقوم بهذه المهمة فإنه سيضع العنوان E100H على مسار العناوين وبذلك تصبح شريحة الذاكرة التى تحتوى هذه البايت نشطة وعلى استعداد للتعامل مع المعالج ، عند ذلك يقوم المعالج بوضع المعلومة 55H على مسار البيانات فتتلقاها البايت المعنية وتسجل فيها . المشكلة هنا هى أن المعالج عندما قام بتنشيط شريحة الذاكرة التى تحتوى هذه البايت لم يخبر الشريحة عما إذا كان سيرسل إليها معلومات أم سيستقبل منها ، أى هل سيكتب فيها أم سيقرأ منها . لذلك كان من الضرورى أن يكون هناك خط تحكم يخرج من المعالج يخبر الجهاز الذى سيتعامل معه المعالج عن الهدف من هذا التعامل ، هل هو بغرض القراءة أم بغرض الكتابة . مثل هذا الخط وخطوط أخرى تجمع تحت اسم مسار التحكم control bus وعدد الخطوط فى هذا المسار يختلف من معالج لآخر . سنذكر هنا أهم أربعة خطوط تحكم وسنترك الباقى للكلام عنه فى مواضع استخدامه .

من خطوط التحكم ما يلى :

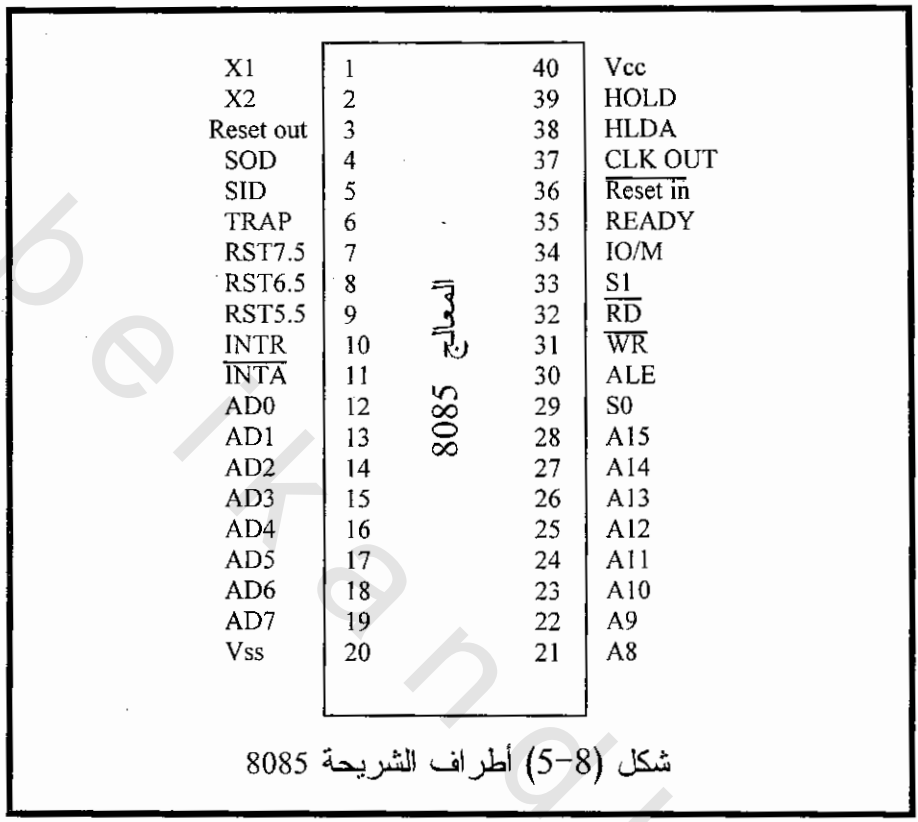
1. خط قراءة الذاكرة memory read, MEMR وهذا الخط يقوم المعالج بتنشيطه فى حالة القراءة من الذاكرة (RAM أو ROM) .
2. خط الكتابة فى الذاكرة memory write, MEMW وهذا الخط يقوم المعالج بتنشيطه فى حالة الكتابة فى الذاكرة (RAM) .
3. خط قراءة بوابة إدخال input port read, IOR وهذا الخط يكون فعالا عندما يكون المعالج فى حالة استقبال معلومات من بوابة إدخال .
4. خط كتابة فى بوابة إخراج output port write, IOW وهذا الخط يكون فعالا عندما يكون المعالج فى حالة إرسال للمعلومات إلى بوابة إخراج .

لاحظ أن واحد فقط من هذه الخطوط (خطوط التحكم) يكون فعالا فى أى لحظة وباقى الخطوط تكون خاملة ولذلك فإن تسمية هذه المجموعة من الخطوط بالمسار تعتبر تسمية مجازية ومن الصواب أن تسمى خطوط التحكم فقط ولكن جرى العرف على إطلاق اسم مسار التحكم عليها . شكل (8-4) يبين شريحة معالج وقد خرج منها المسارات الثلاثة : العناوين والبيانات والتحكم . لاحظ أن عدد خطوط مسار العناوين 16 خطا فى بعض المعالجات التى ندرسها فى هذا الكتاب (وهى المعالجات ذات 8 بت) وسيصل عدد خطوطه إلى 32 بت كما سنرى فى المعالجات الحديثة . وكذلك عدد خطوط مسار البيانات 8 خطوط فى المعالجات ذات 8 بت وسيصل إلى 32 أيضا كما سنرى . أما عدد خطوط مسار التحكم فلم يكتب فى شكل (8-4) لأن هذا العدد كما أشرنا يختلف من معالج لآخر .



شكل (8-4) المسارات الثلاثة للمعالج

4-8 تهيئة مسارات المعالج 8085 لعملية المواجهة



شكل (8-5) أطراف الشريحة 8085

إذا ألقينا نظرة فاحصة على أطراف الشريحة 8085 كما فى شكل (8-5) فى محاولة للتعرف على المسارات المختلفة لهذا المعالج لوجدنا الآتى :

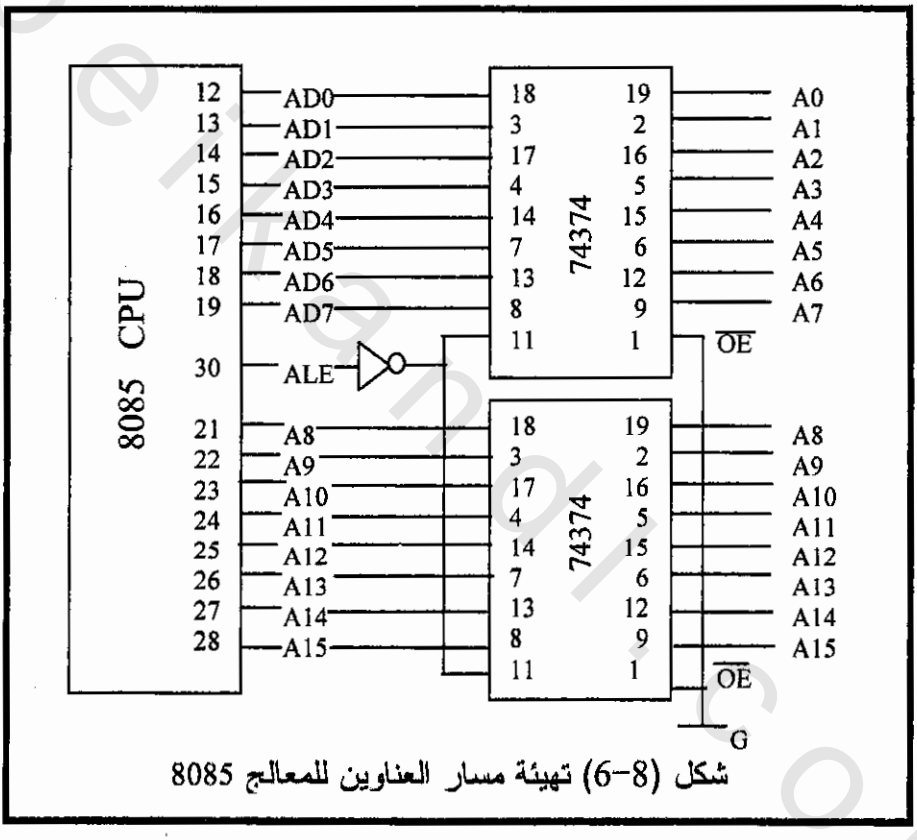
1. مسار العناوين يمكن التعرف على 8 خطوط فقط منه وهى الخطوط A8 إلى A15 أما باقى الخطوط فليست موجودة بالصورة المباشرة .
2. مسار البيانات أيضا من الصعب التعرف عليه بالصورة المباشرة .
3. ماذا تعنى الخطوط AD0 إلى AD7 هل هى خطوط لمسار العناوين أم لمسار البيانات؟
4. خطوط التحكم كما عرفناها مسبقا ليست موجودة أيضا بالصورة المباشرة ، ولكن الموجود هو الخطوط $\overline{RD}$ و $\overline{WR}$ فهل هذه الخطوط لها علاقة بخطوط القراءة من الذاكرة $\overline{MEMR}$ والكتابة فى الذاكرة $\overline{MEMW}$ التى تكلمنا عنها

فى معرض الحديث عن مسار التحكم ؟
جميع هذه الأسئلة وزيادة سنجيب عنها فى هذا الجزء فى محاولة للحصول على المسارات الثلاثة فى الصورة المباشرة والملائمة لعملية توصيل هذا المعالج مع الأجهزة المحيطة .

8-4-1 مسار العناوين للمعالج 8085

تختلف الشريحة 8085 عن الكثير من الشرائح من حيث أن كل من مسار العناوين والبيانات يستخدمان نفس الخطوط AD0 إلى AD7 فى عملية مشاركة زمنية time multiplexing بحيث أن الإشارة الموجودة على هذه الخطوط تكون إشارة عناوين فى بداية كل دورة أمر ثم تكون بعد ذلك إشارة بيانات . أى أن الإشارة الموجودة على الخطوط AD0 إلى AD7 تمثل عنوان للحظة وجيزة فى بداية كل دورة أمر ثم تختفى إشارة العنوان وتصبح الإشارة الموجودة هى إشارة بيانات ، ولذلك فإننا لو استطعنا مسك إشارة العناوين أثناء هذه اللحظة على ماسك لحصلنا على العنوان بالكامل A0 إلى A15 . السؤال هنا هو: هل هناك وسيلة لمعرفة متى تكون الإشارة على هذه الخطوط الثمانية AD0 إلى AD7 تمثل عناوين ومتى تمثل بيانات ؟ لقد أجاب المعالج 8085 على هذا السؤال وأعطانا الخط ALE على الطرف 30 والذى عن طريقه يمكن معرفة نوع الإشارة على الخطوط AD0-AD7 . إن الحروف ALE تعنى Address Latch Enable أى منشط ماسك العناوين . هذا الخط يكون واحد عندما تكون الإشارة على الخطوط AD0-AD7 تمثل عناوين ، ويكون صفرا عندما تكون الإشارة على هذه الخطوط تمثل بيانات . بذلك نستطيع استخدام هذا الخط كخط تحكم أو خط تنشيط لشريحة ماسك تقوم بمسك أو تخزين الإشارة على الخطوط AD0-AD7 عندما يكون الخط ALE يساوى واحدا وبذلك نكون قد حصلنا على العنوان بالكامل A0-A15 . شكل (8-6) يبين الخطوط AD0-AD7 وقد أدخلت على الشريحة 74374 التى هى عبارة عن ماسك ثمانى كما شرحناها فى الفصل السابق . ولقد تم توصيل الطرف ALE من المعالج إلى طرف التزامن clock للشريحة 74374 من خلال عاكس NOT حتى نضمن أن عملية مسك العنوان ستتم عند نزول الخط ALE من الواحد إلى الصفر بناء على طلب المعالج . فى الشكل (8-6) نلاحظ أن الخطوط A8-A15 قد أدخلت هى الأخرى على شريحة ماسك مثل الخطوط AD0-AD7 فهل هناك ضرورة لذلك ؟
فى الحقيقة ليست هناك ضرورة لذلك ولكننا استخدمنا الشريحة 74374 فى هذا المكان لتحقيق عملية فصل buffer لهذه الخطوط حتى تستطيع إمداد جميع الدوائر المحيطة بالتيارات اللازمة . لاحظ أن الطرف رقم 1 ($\overline{OE}$) فى

الشريحة رقم 74374 وهو خط التحكم فى البوابات ثلاثية المنطق الموجودة فى مرحلة خرج هذه الشريحة قد تم توصيله بالأرضى حتى تكون مرحلة الخرج فعالة دائما ، أى أنه بمجرد مسك العنوان فإنه يصبح مباشرة موجودا على خرج الشريحة . يمكن توصيل هذا الخط بالطرف HOLD القادم من المعالج لوضع مسار العناوين فى حالة المقاومة العالية عند اللزوم . شكل (8-7) يبين التزامن الموجود بين الإشارة ALE والإشارات الموجودة على الخطوط AD0-AD7 وكذلك الخطوط AD8-AD15 . لاحظ أهمية تخزين محتويات الخطوط AD0-AD7 عند الحافة الهابطة لخط التحكم ALE .

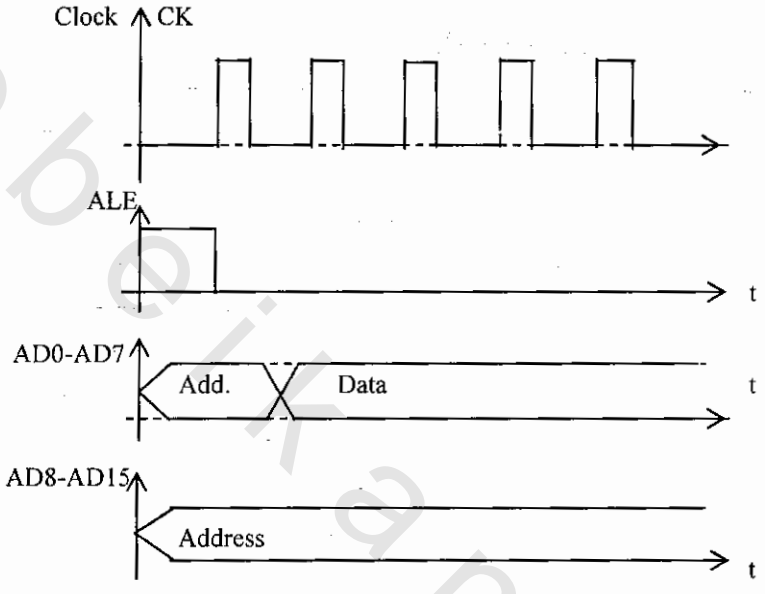


شكل (8-6) تهيئة مسار العناوين للمعالج 8085

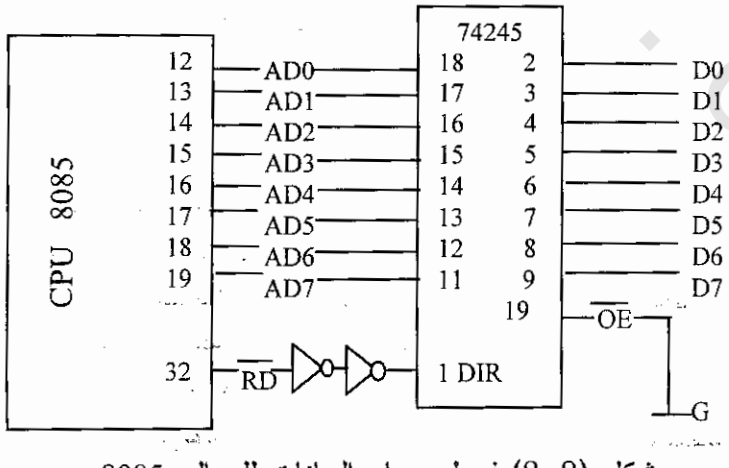
8-4-2 مسار البيانات للشريحة 8085

الآن وقد تم فصل مسار العناوين وتهيئته فإن الإشارة الموجودة على الخطوط AD0-AD7 تمثل إشارة بيانات فى الزمن المتبقى من دورة الأمر ، والمطلوب فقط هو عملية فصل buffer لمسار البيانات حتى يستطيع توفير التيارات اللازمة للأجهزة المحيطة الموصلة عليه . لاحظ أن مسار البيانات ثنائى الاتجاه لذلك

يجب مراعاة استخدام الشريحة المناسبة له وقد أوضحنا فى الفصل السابق أنه من الشرائح المرشحة لهذه العملية الشريحة 74245 التى سبق شرحها .



شكل (8-7) التزامن بين الإشارة ALE وإشارات العناوين والبيانات



شكل (8-8) فصل مسار البيانات للمعالج 8085

شكل (8-8) يبين عملية فصل أو تهيئة مسار البيانات . نلاحظ فى هذا الشكل أن الطرف رقم 1 فى الشريحة 74245 هو طرف التحكم فى اتجاه الإشارة $\overline{DIR}$ ولقد تم توصيل هذا الطرف بالطرف رقم 32 فى المعالج وهو طرف القراءة $\overline{RD}$ ، بحيث عندما يكون هذا الطرف $(\overline{RD})$ فعالا أى يساوى صفرا فإن الشريحة 74245 ستسمح بمرور البيانات من الأجهزة المحيطة إلى المعالج . بينما إذا كان الطرف $\overline{RD}$ غير فعال ، أى يساوى واحد ، فإن الشريحة 74245 ستسمح بمرور البيانات من المعالج إلى الأجهزة المحيطة . نلاحظ أيضا من شكل (8-8) أن الخط $\overline{RD}$ قبل توصيله إلى الشريحة 74245 تم فصله عن طريق توصيله من خلال عاكسين .

8-4-3 مسار التحكم للشريحة 8085

إن مسار التحكم المبسط يتكون كما ذكرنا سابقا من 4 خطوط فقط وهى كالتالى:

- قراءة من الذاكرة Memory read
- كتابة فى الذاكرة Memory write
- قراءة من جهاز إدخال Input device read
- كتابة فى جهاز إخراج Output device write

طرف 32 $\overline{RD}$	طرف 31 $\overline{WR}$	طرف 34 $IO/\overline{M}$	
0	1	1	$\overline{IOR}$
1	0	1	$\overline{IOW}$
0	1	0	$\overline{MEMR}$
1	0	0	$\overline{MEMW}$

شكل (8-9) جدول حقيقة للحصول على خطوط التحكم الأربعة للمعالج 8085

جميع هذه الخطوط فعالة عندما تكون صفرا active low ولو فحصنا أطراف الشريحة 8085 فإننا لن نجد أن هذه الخطوط الأربعة بالصورة المباشرة التى نريدها ولكننا سنجد ثلاثة خطوط فقط وهى الخطوط $\overline{RD}$ و $\overline{WR}$ و $IO/\overline{M}$ والمطلوب هو الحصول على خطوط التحكم الأربعة السابقة من هذه الخطوط الثلاثة . إن السر يكمن فى الطرف $IO/\overline{M}$ حيث أن هذا الخط يكون واحدا عندما يكون المعالج يتعامل مع أجهزة إدخال أو إخراج أى ينفذ واحد من الأمرين IN أو OUT ، كما أن الخط $IO/\overline{M}$ يكون صفرا فى حالة ما إذا كان

المعالج يتعامل مع ذاكرة . ولذلك إذا كان الخط $\overline{RD}$ فعالا (0) ، وكان الخط $IO/\overline{M}$ يساوى صفرا ، فإن ذلك يعنى أن المعالج فى حالة قراءة من الذاكرة . أما إذا كان الخط $\overline{RD}$ يساوى صفر ، والخط $IO/\overline{M}$ يساوى واحد ، فإن ذلك يعنى أن المعالج فى حالة قراءة من جهاز إدخال . شكل (8–9) يبين جدول الحقيقة لجميع الخطوط الأربعة المطلوبة وحالة كل خط من الخطوط الثلاثة $\overline{RD}$ و $\overline{WR}$ و $IO/\overline{M}$. بعد دراسة جدول الحقيقة المبين فى شكل (8. 9) يمكن بناء أكثر من دائرة يكون دخلها هو الخطوط $\overline{RD}$ و $\overline{WR}$ و $IO/\overline{M}$ وخرجها هو الخطوط الأربعة $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$.

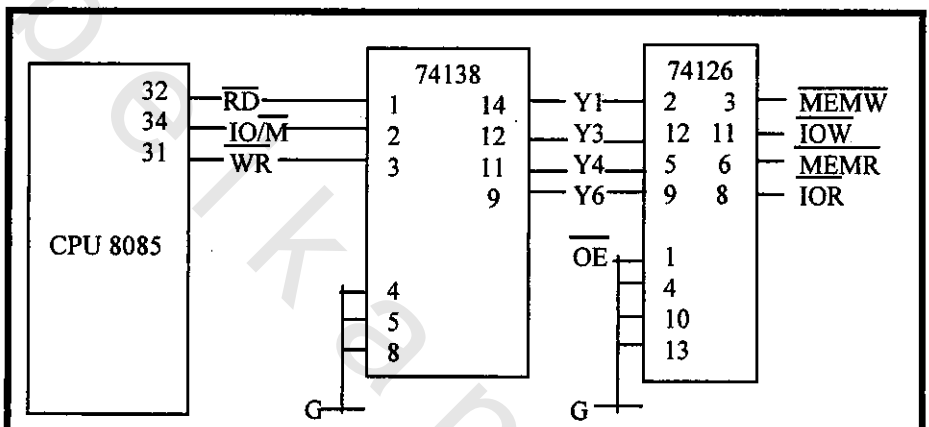
سنرى هنا طريقة الحصول على هذه الخطوط باستخدام المنتخب أو فاكك الشفرة Decoder رقم 74138 وهو عبارة عن منتخب لخط واحد من خطوط الخرج الثمانية Y0 إلى Y7 وهذا الانتخاب يكون على حسب شفرة توضع على خطوط الدخل الثلاثة A, B, C . شكل (8–10) يبين جدول الحقيقة لهذا المنتخب وقد تم توصيل دخوله الثلاثة على الخطوط $\overline{RD}$ و $\overline{WR}$ و $IO/\overline{M}$.

INPUT الـدخل			OUTPUT الـــــخرج							
$\overline{WR}$	$IO/\overline{M}$	$\overline{RD}$		$\overline{MEMW}$		$\overline{IOW}$	$\overline{MEMR}$		$\overline{IOR}$	
C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	L	H	H
H	H	L	H	H	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H	L

شكل (8–10) جدول الحقيقة للشريحة 74138

طبقا لهذا الشكل فإن الخط $\overline{MEMR}$ سيؤخذ من على الخرج Y4 للمنتخب ، والخط $\overline{MEMW}$ يؤخذ من على الخرج Y1 ، وأما الخط $\overline{IOR}$ فيؤخذ من على الخرج Y6 ، والخط $\overline{IOW}$ يؤخذ من على الخرج Y3 . وأما باقى خروج المنتخب فإنها غير مستخدمة . شكل (8–11) يبين كيفية توصيل هذا المنتخب

مع المعالج . لاحظ من هذا الشكل أن خطوط الخرج الأربعة تم توصيلها على الشريحة 74125 وهى فاصل buffer ثلاثى المنطق وقد وصلت جميع خطوط تنشيط البوابات بالأرضى حتى تكون هذه الخطوط فى حالة نشاط دائم . يمكن عند الضرورة توصيل خطوط التنشيط هذه بالخط HOLD القادم من المعالج .
شكل (8-12) يبين المعالج 8085 وقد تم فصل buffering جميع مساراته الثلاثة وأصبحت هذه المسارات متهيئة تماما لأن يوصل عليها أى واحد من الأجهزة الخارجية مثل الذاكرة وبوابات الإدخال والإخراج كما سنرى فى الفصول القادمة.

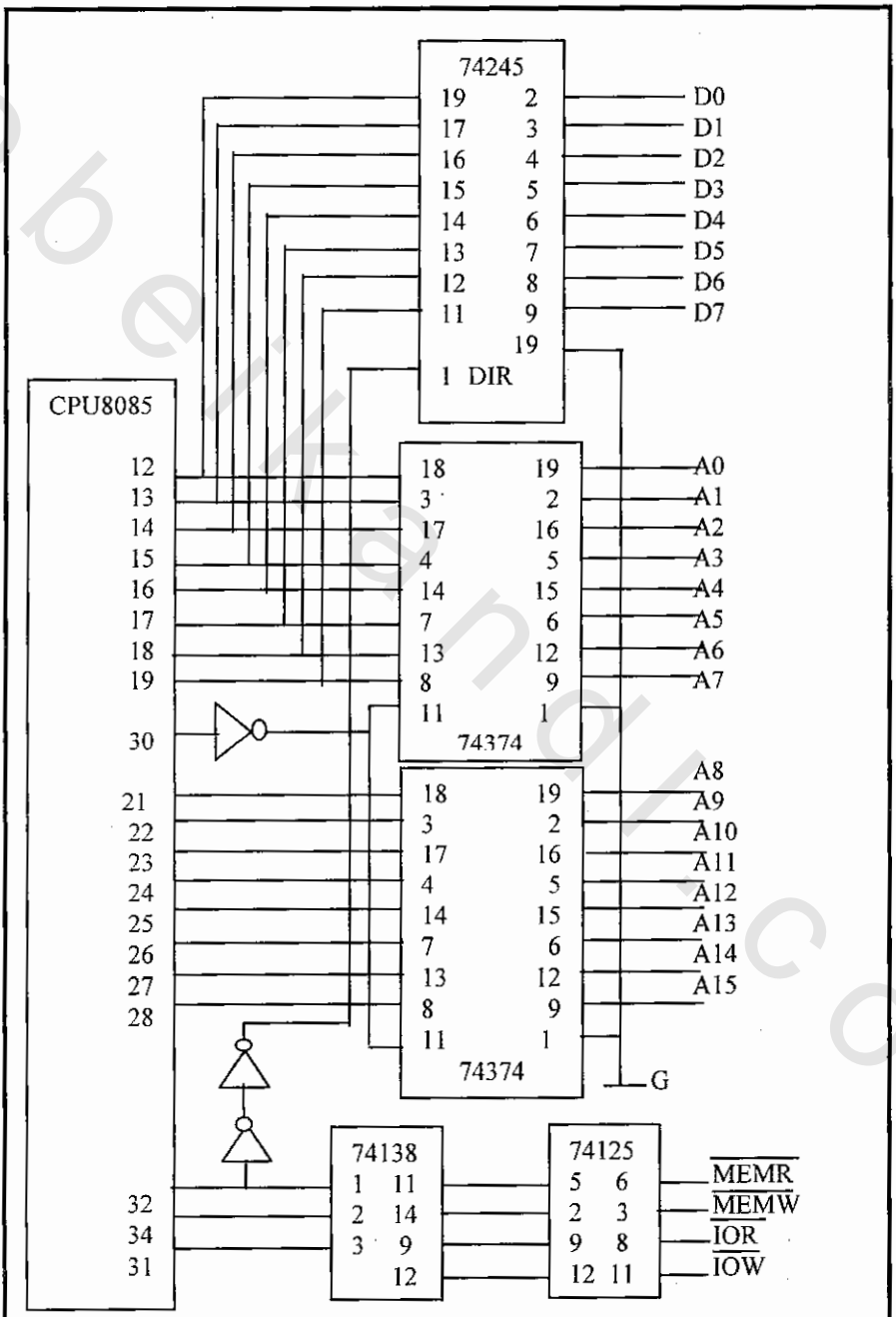


شكل (8-11) فصل خطوط التحكم الأساسية

8-5 تهيئة مسارات المعالج Z80 لعملية المواجهة

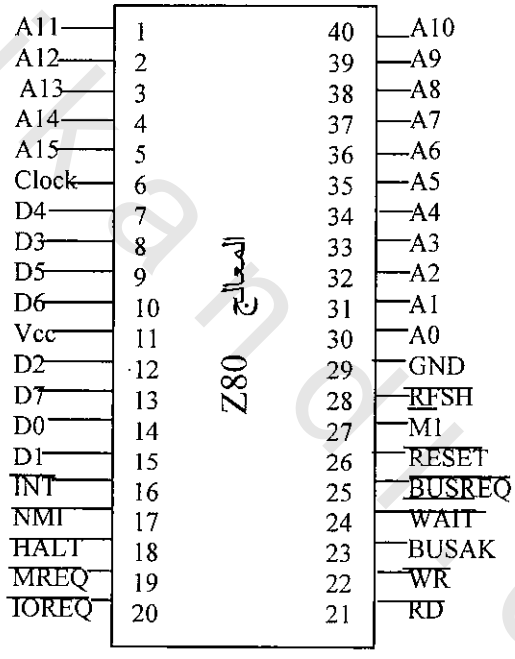
بإلقاء نظرة سريعة على أطراف المعالج Z80 كما فى شكل (8-13) سنكتشف أن عملية المزج الزمنى time multiplexing بين مسارى العناوين والبيانات التى كانت موجودة فى المعالج 8085 غير موجودة هنا ، ولكن كل مسار متاح بصورة منفصلة عن الآخر ولذلك فإن عملية التهيئة هنا ستكون أبسط من قبل . لذلك فإن كل ما سنحتاجه هنا هو عملية فصل buffer لهذه المسارات بغرض الحماية وتوفير التيارات اللازمة للأجهزة المحيطة . شكل (8-14) يبين المعالج Z80 وقد تم فصل مساراته الثلاثة ، العناوين والبيانات والتحكم . بالنسبة لمسار العناوين فقد استخدمت الشريحة 74244 التى تتكون من ثمانى بوابات ثلاثية المنطق لهذا الغرض ، ولقد تم استخدام شريحتان منها لتحقيق عملية الفصل لل 16 خطا فى مسار العناوين . لاحظ أن خطوط التحكم فى الخرج بالنسبة لهاتين

الشريحتين قد تم توصيلهما بالأرضى مباشرة مع العلم أن هذه الخطوط يمكن توصيلها على الطرف HOLD القادم من المعالج لتحقيق عملية انفصال المعالج عن المسارات الثلاثة التى سنشرحها فى موضع قادم .



شكل (8-12) فصل المسارات الثلاثة للمعالج 8085

بالنسبة لمسار البيانات للمعالج Z80 فقد استخدمنا نفس الشريحة 74245 التى سبق استخدامها لعملية فصل مسار البيانات فى المعالج 8085 . هذه الشريحة كما عرفناها من قبل تتكون من ثمانى بوابات ثلاثية المنطق ثنائية الاتجاه أى تسمح بعملية فصلbuffer الإشارات التى تمر فى اتجاهين . لقد تم التحكم فى اتجاه البيانات عن طريق توصيل الطرف $\overline{DIR}$ رقم 1 فى الشريحة 74245 بالطرف $\overline{RD}$ رقم 21 فى المعالج Z80 بحيث عندما يكون الطرف $\overline{RD}$ فعال (0) فإن الشريحة 74245 ستسمح بمرور البيانات من الأجهزة المحيطة إلى المعالج . وأما عندما يكون الطرف $\overline{RD}$ غير فعال (1) فإن البيانات ستمر فى الاتجاه الآخر.



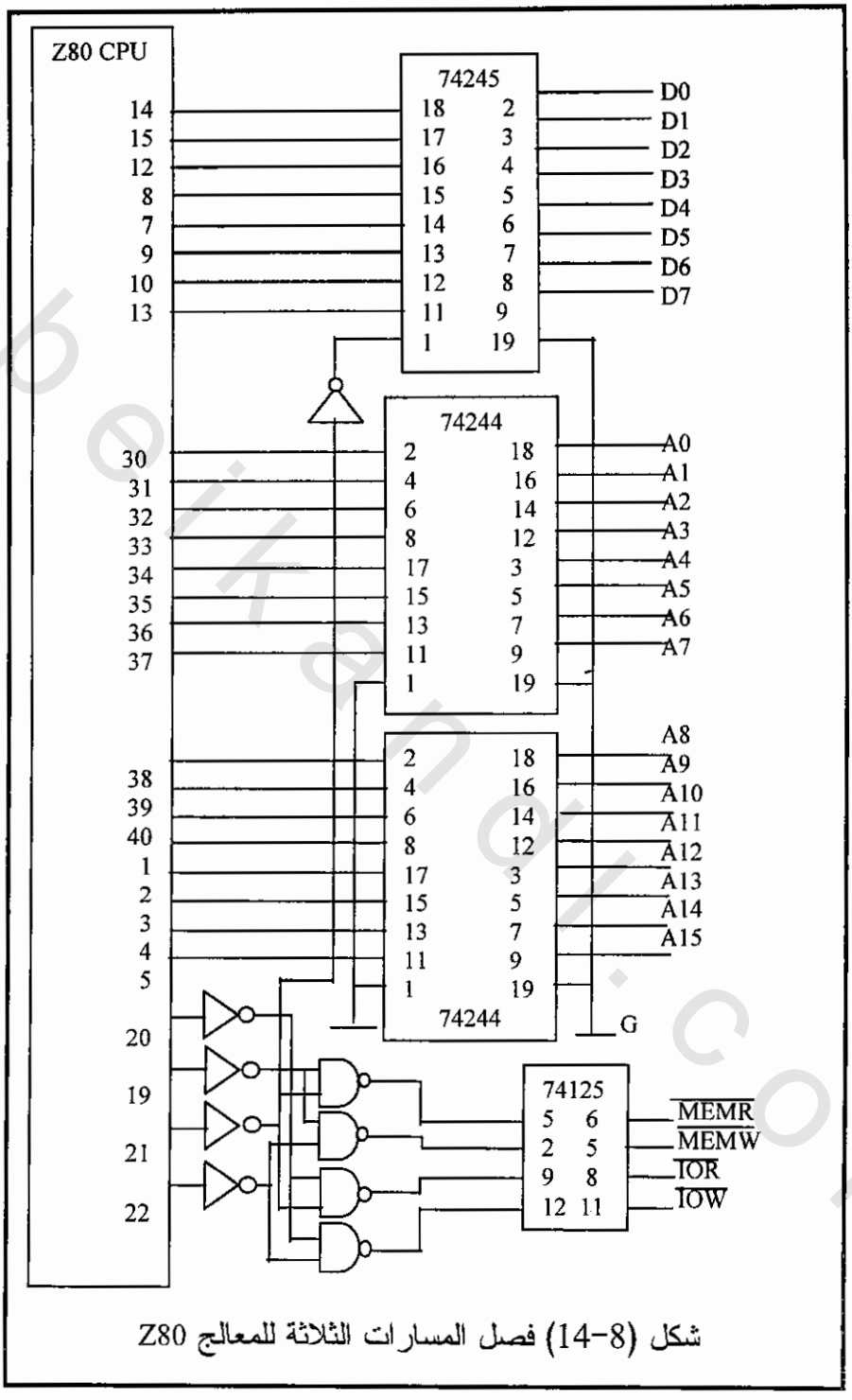
شكل (8-13) أطراف الشريحة Z80

شكل (8-14) يبين أيضا كيفية الحصول على خطوط التحكم $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ باستخدام دوائر NAND . لاحظ أن الطرف $\overline{MEMRQ}$ يكون فعالا (0) عندما يتعامل المعالج مع الذاكرة سواء بغرض القراءة منها أو الكتابة فيها . وأما الخط $\overline{IORQ}$ فيكون فعالا (0) عندما

يتعامل المعالج مع بوابات الإدخال أو الإخراج سواء بغرض القراءة أو الكتابة أيضا . لاحظ أن خطوط التحكم الأربعة تكون فعالة عندما تكون صفر .
بذلك نكون قد انتهينا من تهيئة جميع مسارات المعالج Z80 وأصبحت جاهزة لعملية المواجهة مع الأجهزة المحيطة .

6-8 تمارين

1. ما هو المقصود من تهيئة المسارات ؟ ولماذا تحتاج المسارات إلى تهيئة؟
2. الأجهزة المحيطة بالمعالج إما أن تكون أجهزة إدخال (ترسل ، تستقبل) المعلومات (من ، إلى) المعالج ، أو أجهزة إخراج (ترسل ، تستقبل) المعلومات (من ، إلى) المعالج . أختر كلمة مناسبة مما بين القوسين .
3. مسار البيانات ثنائى الاتجاه ، أى أن الإشارة عليه تكون خارجة من المعالج على بعض الخطوط ، وداخلة إليه على البعض الآخر (صح ، خطأ) أختر؟
4. مسار العناوين أحادى الاتجاه يحمل إشارة من الأجهزة المحيطة إلى المعالج (صح ، خطأ) أختر؟
5. الذاكرة التى يستطيع معالج من المعالجات تبلغ 64كيلوبايت لأن (مسار البيانات ، مسار العناوين) 16 بت ، أختر إجابة ؟
6. لماذا نحتاج لخطوط التحكم $\overline{MEMR}$ و $\overline{MEMW}$ ؟
7. لماذا نحتاج لخطوط التحكم $\overline{IOR}$ و $\overline{IOW}$ ؟
8. عند تنفيذ الأمر STA E100 أى الخطوط التالية سيكون فعالا : $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ ؟ أختر الخط الصحيح .
9. عند تنفيذ الأمر MOV M,A أى الخطوط التالية سيكون فعالا : $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ ؟ أختر إحدى الإجابات .
10. عند تنفيذ الأمر IN 00 أى الخطوط التالية سيكون فعالا : $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ ؟ أختر إحدى الإجابات .
11. عند تنفيذ الأمر OUT 00 أى الخطوط التالية سيكون فعالا : $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ ؟ أختر إحدى الإجابات .
12. اشرح دور الخط ALE فى عملية فصل إشارة العناوين عن إشارة البيانات على الخطوط AD0-AD7 فى المعالج 8085 ؟
13. اشرح كيفية الحصول على خطوط التحكم الأربعة فى المعالج Z80 ؟



شكل (8-14) فصل المسارات الثلاثة للمعالج Z80

obeikan.com

14.

xxx:	MVI A,89H	xxx:	LD A,89H
	STA E100		LD (E100), A
	IN 00		IN 00
	OUT 00		OUT 00
	LXI H, E100		LD HL, E100
	MOV B,M		LD B,(HL)
	JMP xxx		JP xxx
	8085 Program		Z80 Program

البرنامج السابق عبارة عن حلقة لا نهائية ، ارسم شكل الإشارة مع الزمن على كل خط من الخطوط $\overline{MEMR}$ و $\overline{MEMW}$ و $\overline{IOR}$ و $\overline{IOW}$ فى أثناء تنفيذ هذا البرنامج ؟

15. لو نفذنا برنامج السؤال 12 مرة واحدة ، أختر الإجابة الصحيحة فى كل مما يلى :

عدد نبضات الفعالية للخط $\overline{MEMR}$ سيكون (17 ، 13 ، 19) .

عدد نبضات الفعالية للخط $\overline{MEMW}$ سيكون (17 ، 1 ، 9) .

عدد نبضات الفعالية للخط $\overline{IOW}$ سيكون (17 ، 1 ، 9) .

عدد نبضات الفعالية للخط $\overline{IOR}$ سيكون (17 ، 1 ، 9) .

16. إذا كان الخط $IO/\overline{M}=1$ والخط $\overline{WR}=0$ فإن ذلك يعنى (قراءة ، كتابة) (فى ، من) (ذاكرة ، بوابة إدخال ، بوابة إخراج) أختر الإجابة الصحيحة ؟

17. إذا كان الخط $IO/\overline{M}=1$ والخط $\overline{RD}=0$ فإن ذلك يعنى (قراءة ، كتابة) (فى ، من) (ذاكرة ، بوابة إدخال ، بوابة إخراج) أختر الإجابة الصحيحة ؟

18. ما هو المقصود بالمشاركة (المزج) الزمنية بين خطوط البيانات وخطوط العناوين فى المعالج 8085 ؟ وما الهدف منها ؟

19. هل هذه المشاركة (المزج) موجودة فى المعالج Z80 ؟